



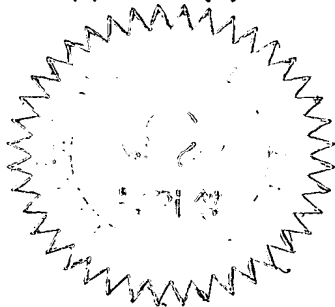
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 57037 호
Application Number

출원년월일 : 2000년 09월 28일
Date of Application

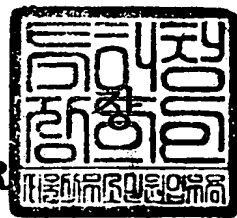
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 12 월 28 일

특 허 청

COMMISSIONER



방식심사관	담 당	심 사 관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0003

【제출일자】 2000.09.28

【발명의 국문명칭】 배선의 접촉 구조 및 그의 제조 방법과 이를 포함하는
박막 트랜지스터 기판 및 그 제조 방법

【발명의 영문명칭】 contact structures of wirings and methods for
manufacturing the same, and thin film transistor array
panels including the same and methods for
manufacturing the same

【출원인】

【명칭】 삼성전자 주식회사

【출원인코드】 1-1998-104271-3

【대리인】

【성명】 김원근

【대리인코드】 9-1998-000127-1

【포괄위임등록번호】 1999-015961-1

【대리인】

【성명】 김원호

【대리인코드】 9-1998-000023-8

【포괄위임등록번호】 1999-015960-3

【발명자】

【성명의 국문표기】 유춘기

【성명의 영문표기】 YOU, CHUN GI

【주민등록번호】 701112-1526414

【우편번호】 449-900

【주소】 경기도 용인시 기흥읍 보라리 삼정 선비마을아파트 102동 405호

【국적】 KR

【우선권 주장】

【출원국명】 KR

【출원종류】 특허

【출원번호】 10-2000-0000712

【출원일자】 2000.01.07

【증명서류】 첨부

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

김원근 (인)

대리인

김원호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	63	면	63,000	원
---------	----	---	--------	---

【우선권주장료】	1	건	26,000	원
----------	---	---	--------	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】			118,000	원
------	--	--	---------	---

【첨부서류】 1.요약서· 명세서(도면)_1통

2.우선권증명서류 및 동 번역문_1통[특허청기제출]

【요약서】

【요약】

먼저, 알루미늄 계열의 도전 물질을 적층하고 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선을 형성한다. 다음, 게이트 절연막을 형성하고, 그 상부에 반도체층 및 저항 접촉층을 차례로 형성한다. 이어, 크롬의 하부막과 알루미늄 계열 금속의 상부막으로 이루어질 도전층을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 어닐링으로 열처리 공정을 실시한다. 이때, 제조 공정시에 알루미늄 계열의 게이트 배선과 데이터 배선 상부에 잔류하며 고저항을 가지는 알루미늄 산화막이 제거된다. 이어, 보호막을 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드를 드러내는 접촉 구멍을 형성한다. 이어 IZO를 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 전기적으로 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다. 어닐링을 실시하여 고저항을 가지는 알루미늄 산화막을 제거함으로써 접촉 구멍의 접촉부에서 알루미늄 계열의 금속과 IZO는 직접 접촉되어 이들의 접촉 저항을 최소화할 수 있다.

【대표도】

도 1

【색인어】

IZO, 접촉저항, 패드, 알루미늄

【명세서】

【발명의 명칭】

배선의 접촉 구조 및 그의 제조 방법과 이를 포함하는 박막 트랜지스터 기판 및 그 제조 방법{contact structures of wirings and methods for manufacturing the same, and thin film transistor array panels including the same and methods for manufacturing the same}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,

도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이고,

도 3a, 4a, 5a 및 7a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,

도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6은 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계

를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6의 다음 단계를 도시한 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 9 및 도 10은 도 8에 도시한 박막 트랜지스터 기판을 IX-IX' 선 및 X-X' 선을 따라 잘라 도시한 단면도이고,

도 11a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 11b 및 11c는 각각 도 12a에서 XIb-XIb' 선 및 XIc-XIc' 선을 따라 잘라 도시한 단면도이며,

도 12a 및 12b는 각각 도 11a에서 XIb-XIb' 선 및 XIc-XIc' 선을 따라 잘라 도시한 단면도로서, 도 11b 및 도 11c 다음 단계에서의 단면도이고,

도 13a는 도 12a 및 12b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도이며,

도 14a, 15a, 16a와 도 14b, 15b, 16b는 각각 도 13a에서 XIIb-XIIb' 선 및 XIIc-XIIc' 선을 따라 잘라 도시한 단면도로서 도 13b 및 13c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 17a 및 도 17b는 도 16a 및 16b 다음 단계에서의 박막 트랜지스터 기판의 단면도이고,

도 18a는 도 17a 및 도 17b의 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 18b 및 18c는 각각 도 18a에서 XVIIIb-XVIIIb' 선 및 XVIIIc-XVIIIc' 선을 따라 잘라 도시한 단면도이고,

도 19 및 도 20은 본 발명의 실시예에 따른 제조 방법에서 어닐링 실시 여부에 따른 Al-Nd의 금속막의 배선 구조를 TEM(transmission electron microscope)를 통하여 나타낸 사진이고,

도 21a 내지 도 21c는 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제조 방법에서 Al-Nd 금속막의 표면을 TEM(transmission electron microscope)를 통하여 나타낸 사진이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 배선의 접촉 구조 및 그의 제조 방법, 이를 포함하는 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

일반적으로 반도체 장치에서 배선은 신호가 전달되는 수단으로 사용되므로 신호 지연을 최소화하는 것이 요구된다.

이때, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 금속 물질, 특

히 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 알루미늄 계열의 금속 물질을 사용하는 것이 일반적이다. 그러나, 알루미늄 계열의 배선은 물리적 또는 화학적인 특성이 약하기 때문에 접촉부에서 다른 도전 물질과 연결될 때 부식이 발생하여 반도체 소자의 특성을 저하시키는 문제점을 가지고 있다. 이러한 접촉 특성을 개선하기 위해서는 배선을 알루미늄 계열로 형성할 때 다른 금속을 개재할 수 있으나, 다층의 배선을 형성하기 위해서는 서로 다른 식각액이 필요할 뿐 아니라 여러 번의 식각 공정이 필요하게 되어 제조 공정이 복잡해진다.

한편, 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

이러한 액정 표시 장치에서도, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 저저항 물질을 사용하는 것이 일반적이다. 그러나, 액정 표시 장치에서와 같이 투명한 도전 물질인 ITO(indium tin oxide)를 사용하여 화소 전극을 형성하거나 패드부의 신뢰성을 확보하는 경우에 알루미늄 계열의 금속과 ITO의 접촉 특성이 좋지 않아 몰리브덴

계열 또는 크롬 등의 다른 금속을 개재하지만, 접촉부에서 알루미늄 또는 알루미늄 합금은 제거해야 하므로 제조 공정이 복잡해지는 문제점이 가지고 있다.

한편, 액정 표시 장치를 제조 방법 중에서, 박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

【발명이 이루고자 하는 기술적 과제】

본 발명이 이루고자 하는 기술적 과제는 저저항 물질로 이루어진 동시에 저저항의 접촉 특성을 가지는 배선의 접촉 구조 및 그 제조 방법을 제공하는 것이다.

본 발명의 다른 과제는 우수한 접촉 특성을 가지는 배선의 접촉 구조를 포함하는 박막 트랜지스터 기판 및 그 제조 방법을 제조하는 방법을 제공하는 것이다.

또한, 본 발명의 다른 과제는 박막 트랜지스터 기판의 제조 방법을 단순화하는 것이다.

【발명의 구성 및 작용】

이러한 문제점을 해결하기 위하여 본 발명에서는 어닐링으로 열처리 공정을 실시하고 알루미늄 계열의 금속으로 이루어진 배선과 연결되는 도전층을 IZO로 형성한다.

본 발명에 따른 배선의 접촉 구조 형성 방법에서는, 우선 기판 상부에 금속의 배선을 형성하고, 배선을 덮는 무기 절연막을 적층한다. 이어, 열처리 공정을 실시하고 무기 절연막을 패터닝하여 배선의 상부에 드러내는 접촉 구멍을 형성하고, 배선과 전기적으로 연결되는 도전층을 형성한다.

이때, 열처리 공정은 어닐링(annealing)으로 실시하며, 어닐링은 250~400℃ 온도 범위에서 실시하는 바람직하다.

여기서, 배선은 알루미늄 계열의 도전 물질로 형성하는 것이 바람직하며, 무기 절연막은 질화 규소로 형성하는 것이 바람직하다. 이때, 무기 절연막은 250~400℃의 온도 범위에서 적층하는 것이 좋다.

도전층은 투명한 도전 물질일 수 있으며, IZO로 형성할 수 있고, 250℃ 이하의 범위에서 형성하는 것이 좋다.

이러한 배선의 접촉 구조 및 그 형성 방법은 박막 트랜지스터 기판의 제조 방법에도 적용할 수 있다.

우선, 게이트 배선, 데이터 배선 및 반도체층을 형성하고, 이들을 덮는 절연막을 형성한다. 이어, 열처리 공정을 실시하고 절연막을 패터닝하여 게이트 배선 또는 데이터 배선의 상부에 접촉 구멍을 형성한다. 이어, 접촉 구멍을 통하여 게이트 배선 또는 데이터 배선과 전기적으로 연결되는 투명 도전층을 형성한다.

이때, 게이트 배선 및 데이터 배선은 알루미늄 계열의 도전 물질을 포함하여 형성하는 것이 바람직하며, 절연막은 질화 규소로 형성하는 것이 좋다.

절연막은 250~400℃ 온도 범위에서 형성하는 것이 바람직하며, 열처리 공정은 250~400℃ 온도 범위에서 어닐링을 실시하는 바람직하다.

투명 도전층은 IZO로 형성할 수 있으며, 이때 IZO는 250℃ 이하의 범위에서 적층하는 것이 좋다.

더욱 상세하게는, 절연 기판 위에 제1 도전 물질을 적층하고 패터닝하여 게

이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 절연막을 적층한다. 이어, 게이트 절연막 상부에 반도체층을 형성하고, 그 상부에 제2 도전 물질을 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고, 열처리 공정을 실시한다. 이어, 보호막을 패터닝하여 드레인 전극 상부에 제1 접촉 구멍을 형성하고, 보호막 상부에 드레인 전극과 전기적으로 연결되는 화소 전극을 형성한다.

여기서, 열처리 공정은 250~400℃ 온도 범위에서 어닐링으로 실시하는 것이 바람직하며, 제1 및 제2 도전 물질은 알루미늄 계열의 금속을 포함하는 것이 바람직하다.

또한, 게이트 절연막 및 보호막 적층 단계는 250~400℃ 범위에서 형성하는 것이 바람직하며, 게이트 절연막 및 보호막은 질화 규소로 형성하는 것이 바람직하다.

화소 전극은 투명한 도전 물질로 형성하는 것이 좋으며, 화소 전극은 IZO로 형성할 수 있다.

게이트 배선은 게이트선에 연결되어 있는 게이트 패드를 더 포함하며, 데이터 배선은 데이터선에 연결되어 있는 데이터 패드를 더 포함하며, 보호막은 데이터 패드 및 게이트 절연막과 함께 게이트 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며, 화소 전극과 동일한 층에 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데

이터 패드와 전기적으로 연결되는 보조 게이트 패드와 보조 데이터 패드를 더 형성할 수 있다.

데이터 배선 및 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 함께 형성할 수 있으며, 감광막 패턴은 제1 두께를 가지는 제1 부분, 제1 두께보다 두꺼운 제2 부분, 제1 두께보다 얇으며 제1 및 제2 부분을 제외한 제3 부분을 포함하는 것이 바람직하다.

사진 식각 공정에서 감광막 패턴은 제1 영역, 상기 제1 영역보다 낮은 투과율을 가지는 제2 영역 및 상기 제1 영역보다 높은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용하여 형성할 수 있으며, 사진 식각 공정에서 제1 부분은 소스 전극과 드레인 전극 사이, 제2 부분은 데이터 배선 상부에 위치하도록 형성하는 것이 바람직하다.

제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 광마스크에는 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴이 형성될 수 있으며, 제1 부분의 두께는 제2 부분의 두께에 대하여 1/2 이하로 형성하는 것이 바람직하다.

반도체층과 데이터 배선 사이에 저항성 접촉층을 형성하는 단계를 더 포함할 수 있으며, 데이터 배선과 접촉층 및 반도체층을 하나의 마스크를 사용하여 형성할 수 있다.

여기서, 접촉 구멍을 각을 가지는 모양 또는 원형으로 형성할 수 있으며, 제1 접촉 구멍의 면적은 $10\mu\text{m} \times 10\mu\text{m}$ 를 넘지 않을 수 있으며 $4\mu\text{m} \times 4\mu\text{m}$ 이상인 것이 바람직하다.

이때, 접촉 구멍에서 알루미늄막과 IZO는 직접 접촉되며, 알루미늄막은 평평한 표면을 가질 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 배선의 접촉 구조 및 그 제조 방법과 이를 포함하는 박막 트랜지스터 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

반도체 장치, 특히 신호를 전달하는 배선으로는 신호의 지연을 최소화하기 위하여 $15\mu\Omega\text{cm}$ 이하의 낮은 비저항을 가지는 알루미늄 계열의 금속 물질이 적합하다. 이때, 배선은 외부로부터 신호를 받거나, 외부로 신호를 전달하기 위해 다른 도전층과 연결되어야 하는데, 제조 과정에서 다른 도전 물질과 접촉할 때 쉽게 부식되지 않아야 한다. 이를 위하여 본 발명의 실시예에 따른 배선의 접촉 구조 제조 방법에서는, 우선 기판 상부에 저저항을 가지는 알루미늄 또는 알루미늄 합금으로 이루어진 금속층으로 이루어진 배선을 형성하고, 배선을 덮는 무기 절연막을 적층한다. 이어, 어닐링(annealing)으로 열처리 공정을 실시한다. 이러한 열처리 공정을 통하여 알루미늄 계열의 금속층 상부에 잔류하며 고저항을 가지는 알루미늄 산화막 등을 제거할 수 있다. 이어, 무기 절연막을 패터닝하여 배선을 상부에 접촉 구멍을 형성하고, 접촉 구멍을 통하여 배선과 직접 연결되는 도전층을 형성한다.

또한, 어닐링 공정은 $250\sim 400^{\circ}\text{C}$ 온도 범위에서 30분 내지 2시간 동안 실시하는 것이 실시하는 것이 바람직하며, 절연막은 $250\sim 400^{\circ}\text{C}$ 정도의 온도 범위에서 적

층하는 것이 바람직하다.

또한, 무기 절연막은 질화 규소인 것이 바람직하며, 도전층은 투명한 도전 물질로 형성할 수 있으며, IZO(indium zinc oxide)인 것이 바람직하다.

이러한 어닐링 공정에서는 알루미늄 계열의 금속 배선 상부에 제조 공정시에 형성된 알루미늄 산화막(Al_2O_3) 등과 같은 고저항의 잔류층이 제거되어, 접촉부에서는 IZO와 알루미늄막과 직접 접하는 접촉 구조가 형성된다. 따라서, 어닐링을 실시하고 도전층을 IZO로 사용함으로써 알루미늄 계열의 배선과 IZO의 접촉 저항을 최소화할 수 있으며, 접촉부에서 부식을 진행하는 것을 차단할 수 있다.

여기서 배선은 액정 표시 장치용 박막 트랜지스터의 게이트 배선 또는 데이터 배선으로 사용될 수 있다.

그러면, 이러한 본 발명에 따른 배선의 접촉 구조를 포함하는 액정 표시 장치용 박막 트랜지스터 기판 및 제조 방법에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 저저항을 가지는 알루미늄 계열의 금속 물질로 이루어진

게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

기판(10) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(54, 56)이 각각 형성되어 있다.

저항 접촉층(54, 56) 및 게이트 절연막(30) 위에는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 도전체로 이루어진 데이터 배선(62, 64, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(54)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

데이터 배선(62, 65, 66, 68)은 알루미늄 계열의 단일막으로 형성하는 것이 바람직하지만, 이중층 이상으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 그 예로는 Cr/Al(또는 Al 합금) 또는 Al/Mo 등을 들 수 있으며, 본 발명의 실시예에서 데이터 배선(62, 65, 66, 68)은 Cr의 하부막(601)과 알루미늄 합금의 상부막(602)으로 형성되어 있다.

데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 질화 규소로 이루어진 보호막(70)이 형성되어 있다.

보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 접촉 구멍(74, 76, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있으며, 접촉 구멍의 면적, 특히 드레인 전극(66)을 드러내는 접촉 구멍(76)은 $10\mu\text{m} \times 10\mu\text{m}$ 를 넘지 않으며 $4\mu\text{m} \times 4\mu\text{m}$ 이상인 것이 바람직하며, 이외의 접촉 구멍(74, 78)은 접촉 구멍(76)보다 크게 형성하는 것이 바람직하다.

보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는

IZO(indium zinc oxide)로 이루어져 있다. 이때, 본 발명의 구조에서는 접촉 구멍(74, 76, 78)의 접촉부에서 알루미늄 계열의 금속막(24, 66, 68)과 IZO막(82, 86, 88)이 직접 접하고 있다. 이러한 접촉 구조에서는 알루미늄 계열의 금속막(24, 66, 68)과 IZO막(82, 86, 88) 사이에서 부식이 발생하지 않으며, 이들 사이에 고저항을 불순물이 제거되어 있어 접촉부의 접촉 저항이 감소한다.

여기서, 화소 전극(82)은 도1 및 도 2에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

이러한 본 발명의 실시예에 따른 구조에서는 게이트 배선(22, 24, 26) 및 데이터 배선(62, 64, 66, 68)이 저저항을 가지는 알루미늄 계열의 금속으로 이루어져 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있다.

또한, 게이트 패드(24), 데이터 패드(68) 및 드레인 전극(66)의 알루미늄 계열의 금속과 보조 게이트 패드(86), 보조 데이터 패드(88) 및 화소 전극(82)의 IZO가 직접 접하고 있어 접촉부에서의 접촉 저항을 최소화할 수 있으며, 알루미늄 계열의 금속이 부식되는 것을 방지하여 패드부를 포함하는 접촉부의 신뢰성을 확보할 수 있다.

그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 대하여 도 1 및 도 2와 도 3a 내지 도 7b를 참고로 하여 상세히 설명한다.

먼저, 도 3a 및 3b에 도시한 바와 같이, 기관(10) 위에 저저항을 가지는 알

루미늄 계열의 금속 중, 2 at%의 Nd를 포함하는 Al-Nd를 포함하는 표적을 이용하여 2,500Å 정도의 두께로 150℃ 정도에서 스퍼터링(sputtering)으로 적층하고 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선을 형성한다.

다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 섬 모양의 반도체층(40)과 저항 접촉층(50)을 형성한다. 여기서, 게이트 절연막(30)은 질화 규소를 250~400℃ 온도 범위, 2,000~5,000Å 정도의 두께로 적층하여 형성하는 것이 바람직하다. 본 발명의 실시예에서 게이트 절연막(30)은 300℃ 정도의 온도에서 4,500Å 정도의 두께로 적층하였다.

다음, 도 5a 내지 도 5b에 도시한 바와 같이, 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부막(601)을 500Å 정도의 두께로, 저저항을 가지는 알루미늄 계열의 금속 중, 2 at%의 Nd를 포함하는 Al-Nd의 표적을 이용하여 상부막(602)을 150℃ 정도에서 2,500Å 정도의 두께로 스퍼터링(sputtering)을 통하여 차례로 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스

전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다. 여기서, 상부막(602) 및 하부막(601)은 모두 습식 식각으로 식각할 수 있으며, 상부막(602)은 습식 식각으로 식각하고 하부막(601)은 건식 식각으로 식각할 수 있다.

이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.

다음으로, 도 6에서 보는 바와 같이, 질화 규소와 같은 무기 절연막을 250~400℃ 범위에서 적층하여 보호막(70)을 형성하고, 250~400℃ 범위에서 30분 내지 2시간 범위 내에서 어닐링을 실시한다. 본 발명의 실시예에서는 바람직하게 300℃ 정도에서 보호막(70)을 2,000~3,000Å 정도의 두께로 적층하고 300℃ 정도에서 어닐링을 실시하였으며, 어닐링은 30분 내지 1시간 정도 진행하였다. 어닐링 공정시에는, 제조 공정시에 배선(22, 24, 26, 62, 65, 66, 68)의 알루미늄 계열 금속 상부면에 형성된 고저항의 잔류층이 어닐링을 실시하는 공정에서 제거될 수 있다. 예를 들어, 알루미늄 계열 금속의 표면에는 제조 공정시 공기 중의 산소와 금속막의 알루미늄이 반응하여 Al_2O_3 을 포함하는 잔류막이 형성되는데, 어닐링을 실시하면 이러한 잔류막이 제거된다. 이에 대하여 도 19 및 도 20을 통하여 구체적으

로 설명하기로 한다. 또한, 본 발명의 실시예에서 보호막(70)을 적층하기 전에 데이터 배선(62, 65, 66, 68)의 상부에 유기 물질 또는 Al_2O_3 등과 같은 잔류 물질을 제거하기 위해 알칼리 세정 또는 전해질 세정을 실시하는 것이 바람직하며, 알루미늄을 포함하는 물질을 식각하기 위한 알루미늄 식각액을 이용한 세정을 실시할 수도 있다.

이어, 도 7a 및 도 7b에 도시한 바와 같이, 보호막(70)을 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 건식 식각으로 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)을 형성할 때 식각 조건은 알루미늄 계열의 금속막이 식각되지 않는 조건을 적용하는 것이 바람직하며, 식각 기체로는 F 계열의 기체를 이용할 수 있다. 이때, 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있으며, 접촉 구멍의 면적, 특히 드레인 전극(66)을 드러내는 접촉 구멍(76)은 $10\mu m \times 10\mu m$ 를 넘지 않으며 $4\mu m \times 4\mu m$ 이상으로 형성하는 것이 바람직하며, 이에 대해서는 이후에 설명하기로 한다. 물론, 게이트 패드(24) 및 데이터 패드(68)을 드러내는 접촉 구멍(74, 78)은 접촉 구멍(76)보다 크게 형성할 수 있다.

다음, 마지막으로 도 1 및 2에 도시한 바와 같이, IZO막을 스퍼터링으로 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트

패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다. 이때, 본 발명의 제조 방법에서는 보호막(70)을 패터닝하기 전에 어닐링을 실시하여 알루미늄 계열의 금속막(24, 66, 68) 상부에 고저항의 잔류막을 제거함으로써 접촉 구멍(74, 76, 78)의 접촉부에서 알루미늄 계열의 금속막(24, 66, 68)과 IZO막(82, 86, 88)이 직접 접하게 된다. 이러한 접촉 구조에서는 알루미늄 계열의 금속막(24, 66, 68)과 IZO막(82, 86, 88) 사이에서 부식이 발생하지 않으며, 이들 사이에 고저항을 불순물이 제거되어 있어 접촉부의 접촉 저항이 감소한다. 본 발명의 실시예에서 IZO막(82, 86, 88)을 형성하기 위한 표적(target)은 이데미츠(idemitsu)사의 IDIXO(indium x-metal oxide)라는 상품을 사용하였으며, 표적은 In_2O_3 및 ZnO 를 포함하며, Zn의 함유량은 15-20 at% 범위인 것이 바람직하다. 또한, 접촉 저항을 최소화하기 위해 IZO막은 250℃ 이하의 범위에서 적층하는 것이 바람직하다.

이러한 본 발명의 실시예에 따른 제조 방법에서는 IZO막을 적층하기 전에 IZO와 알루미늄 계열의 금속 사이의 접촉 특성을 향상시키기 위하여 열처리 공정을 실시함으로써 패드부를 포함한 접촉부의 접촉 저항을 최소화하여 접촉부의 신뢰성을 확보할 수 있다.

앞에서 설명한 바와 같이, 본 발명의 실시예에서 보호막(70)을 적층하기 전에 데이터 배선(62, 65, 66, 68)의 상부에 유기 물질 또는 Al_2O_3 등과 같은 잔류 물질을 제거하기 위해 알루미늄 식각액을 이용한 세정을 실시한 결과, 어닐링을 실시

한 경우와 유사하게 접촉 구멍(74, 76, 78)을 포함하는 접촉부의 접촉 저항이 E4-E5Ω 정도의 범위로 측정되었다. 따라서 알루미늄 식각액을 이용한 세정 공정을 실시하는 경우에 어닐링 공정을 생략할 수 있으며, 이때, 알루미늄 식각액은 질산(HNO₃), 염산(HPO₄), 초산(CH₃COOH) 및 초순수를 포함하며, 알루미늄 식각액을 이용한 세정 공정은 10SEC 이하로 하는 것이 좋으며, 7-10SEC 범위의 시간동안 실시하는 것이 바람직하다.

이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 8 내지 도 10을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 9 및 도 10은 각각 도 8에 도시한 박막 트랜지스터 기판을 IX-IX' 선 및 X-X' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 알루미늄 계열의 금속으로 이루어진 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(22)과

평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(22, 24, 26, 28) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

저항성 접촉층 패턴(55, 56, 58) 위에는 저저항을 가지는 알루미늄 계열의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드

레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26, 28)과 마찬가지로 알루미늄 계열의 금속으로 이루어진 단일층으로 형성될 수도 있지만, 제1 실시예와 동일하게 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 탄탈륨 또는 티타늄으로 이루어진 하부막과 알루미늄 계열의 금속으로 이루어진 상부막을 포함하는 이중막으로 형성될 수도 있다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전

극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 질화 규소로 이루어진 보호막(70)이 형성되어 있다.

보호막(70)은 드레인 전극(66), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

여기에서는 화소 전극(82)의 재료의 예로 투명한 IZO를 들었으나, 투명한 도전성 폴리머(polymer) 등으로 형성할 수도 있으며, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

그러면, 도 8 내지 도 10의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 8 내지 도 10과 도 11a 내지 도 18c를 참조하여 설명하기로 한다.

먼저, 도 11a 내지 11c에 도시한 바와 같이, 제1 실시예와 동일하게 제1 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하며, 저저항을 가지는 알루미늄 계열의 금속으로 이루어진 게이트 배선을 형성한다.

다음, 도 12a 및 12b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 저저항을 가지는 알루미늄 계열의 금속으로 상부막과 크롬으로 이루어진 하부막을 포함하는 도전체층(60)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다. 이때에도 게이트 절연막(30)은 250~400℃ 범위에서 적층하는 것이 좋으며, 본 발명의 실시예에서는 300℃ 정도의 온도에서 4,500Å 정도의 두께로 형성하였다.

그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 13b

및 13c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 $1/2$ 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상

하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 14a 및 14b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하

에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로 $CeNH_3O_3$ 을 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 14a 및 도 14b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 15a 및 15b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식

각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6 과 HCl 의 혼합 기체나, SF_6 과 O_2 의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 15a 및 15b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 도 16a 및 16b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이

때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF_6 과 O_2 의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터

배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 17a 및 17b에 도시한 바와 같이 제1 실시예와 같이 질화 규소를 CVD 방법으로 250~400℃ 범위에서 증착하여 보호막(70)을 형성한다. 이어, 제1 실시예와 같이 250~400℃ 범위에서 어닐링을 통한 열처리 공정을 실시하여, 게이트 배선(22, 24, 26, 28)과 데이터 배선(62, 64, 65, 66, 68) 상부에 잔류하는 잔류막을 제거한다. 이때에도 보호막(70)을 적층하기 전에 유기 물질이나 잔류 물질을 제거하기 위해 알카리 세정 또는 전해질 세정 또는 알루미늄 식각액을 이용한 세정 공정을 추가로 실시할 수 있으며, 앞에서 설명한 바와 같이 알루미늄 식각액을 이용한 세정 공정을 실시하는 경우에는 이후에 어닐링 공정을 실시할 수 있으며, 그렇지 않을 수도 있다.

이어, 도 18a 내지 도 18c에 도시한 바와 같이, 제3 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 제1 실시예와 같이 드레인 전극(66),

게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다.

마지막으로, 도 8 내지 도 10에 도시한 바와 같이, 제1 실시예와 같은 방법으로 400 Å 내지 500 Å 두께의 IZO층을 스퍼터링 방법으로 증착하고 제4 마스크를 사용하여 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(86) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다. 이때, 화소 전극(82), 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 ITO로 형성할 수도 있으나, ITO를 패터닝하기 위한 식각액은 알루미늄 금속을 부식시킬 수도 있다. 하지만, IZO를 패터닝하기 위한 식각액은 크롬(Cr)의 금속막을 식각하는데 사용하는 크롬 식각액을 사용하는데, 이는 알루미늄을 부식시키지 않아 데이터 배선 또는 게이트 배선이 부식되는 것을 방지할 수 있으며, 식각액으로 ($\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$) 등을 들 수 있다.

이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

앞에서 설명한 바와 같이, 어닐링을 통하여 알루미늄을 포함하는 금속막의 상부에서 제조 공정시 형성되는 잔류막이 제거되는 것을 도면을 통하여 구체적으로

설명하기로 한다.

도 19 및 도 20은 본 발명의 실시예에 따른 제조 방법에서 어닐링 실시 여부에 따른 Al-Nd의 금속막의 배선 구조를 TEM(transmission electron microscope)을 통하여 나타낸 사진이다. 도 19는 어닐링 공정을 실시하지 않은 경우이고, 도 20은 어닐링 공정을 실시한 단면도이다.

도 19 및 도 20은 본 발명의 실시예에 따른 제조 방법에 따라 2at%의 Nd를 포함하는 Al-Nd를 표적으로 사용하여 스퍼터링 방법으로 150℃에서 적층하여 금속막(600)을 적층하고, 금속막(600)을 덮는 보호막(700)은 질화 규소를 300℃ 정도에서 적층하여 형성한 경우를 나타낸 것이다. 한편, 도 20에서는 300℃ 정도에서 30분 동안 어닐링을 실시한 경우를 나타낸 것이다.

도 19에서 보는 바와 같이, 어닐링을 실시하지 않은 경우에는 금속막(600)의 상부에 Al_2O_3 등을 포함하는 잔류막(800)이 형성되어 있음을 알 수 있으며, 도 20에서 보는 바와 같이 어닐링을 통하여 열처리를 실시하는 경우에는 잔류막이 제거되었다. 이를 통하여 앞에서 설명한 바와 같이, 본 발명에서와 같이 어닐링을 실시함으로써 접촉 구조에서 알루미늄 계열의 금속막과 IZO막은 서로 직접 접하며, 잔류막이 제거되어 접촉부의 접촉 저항을 최소화할 수 있다.

한편, 본 발명의 실시예에 따른 제조 방법에서 알루미늄 계열의 금속막 표면에 대하여 구체적으로 살펴보면 다음과 같다.

도 21a 내지 도 21c는 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제

조 방법에서 Al-Nd 금속막의 표면을 TEM(transmission electron microscope)을 통하여 나타낸 사진이다. 도 21a는 2at%의 Nd를 포함하는 Al-Nd를 표적으로 사용하여 스퍼터링 방법으로 150℃에서 적층한 상태의 표면을 나타낸 것이고, 도 21b는 도 21a와 동일한 조건에서 질화 규소의 보호막을 300℃ 정도에서 적층한 후 보호막을 제거한 상태에서 Al-Nd 금속막의 표면을 나타낸 것이고, 도 21c는 도 21b와 동일한 조건으로 보호막을 적층하고 300℃ 정도에서 어닐링을 실시한 다음 보호막을 제거한 Al-Nd 금속막의 표면을 나타낸 것이다.

도 21a 내지 도 21c에서 보는 바와 같이, 보호막을 적층하고 어닐링을 실시하는 경우에 Al-Nd의 그레인(grain) 크기(size)가 점점 커지는 것을 알 수 있다.

본 발명의 제1 및 제2 실시예에 따른 제조 방법에서는, 접촉 구멍(72, 74, 76, 78)을 포함하는 접촉부의 접촉 저항을 측정하기 위해 본 발명의 제조 방법과 동일한 순서에 따라 게이트 배선(22, 24, 26, 28) 또는 데이터 배선(62, 64, 65, 66, 68)과 동일한 층의 금속막과 금속막을 드러내는 보호막(70)의 접촉 구멍과 화소 전극(82)과 동일한 층에 접촉 구멍을 통하여 다수의 금속막을 전기적으로 연결하는 IZO막을 포함하며 직렬로 연결된 다수의 측정용 패턴을 형성하였다. 이때, 접촉 구멍은 200개 형성하여 금속막과 IZO막이 직접 접하는 접촉 구멍의 접촉 저항을 측정하였다. 이때, 전체적으로 접촉 구멍의 접촉 저항은 $E^7 \Omega$ 이하가 되도록 접촉 구멍을 형성하는데 본 발명의 실시예와 같이 어닐링을 실시하는 경우에는 $4\mu m \times 4\mu m$ 의 면적으로 접촉 구멍을 줄이는 경우에도 $E^7 \Omega$ 이 저항을 얻을 수 있었다.

이때, 특히 드레인 전극(66)을 드러내는 접촉 구멍(76, 제1 및 제2 실시예 참조)은 화소의 개구율을 고려하여 $10\mu\text{m} \times 10\mu\text{m}$ 을 넘지 않는 것이 바람직하다.

또한, 이러한 본 발명의 제1 및 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서는 보호막(70)을 형성한 다음 열처리 공정을 실시함으로써, 박막 트랜지스터 기판을 완성한 후에 박막 트랜지스터의 특성을 안정화하기 위해 실시하는 액정 표시 장치용 박막 트랜지스터 기판을 열처리하는 공정을 생략할 수 있다.

【발명의 효과】

이와 같이, 본 발명에 따르면 열처리 공정을 실시하여 금속막 상부의 잔류 물질을 제거함으로써 알루미늄 계열의 금속과 IZO로 이루어진 접촉부의 접촉 저항을 최소화할 수 있으며, 패드부를 포함한 접촉부의 신뢰성을 확보할 수 있다. 또한, 저저항의 알루미늄 또는 알루미늄 합금으로 배선을 형성함으로써 대화면 고정세의 제품의 특성을 향상시킬 수 있다. 또한, 제조 공정을 단순화하여 액정 표시 장치용 박막 트랜지스터 기판을 제조함으로써 제조 공정을 단순화하고 제조 비용을 줄일 수 있다.

【특허청구범위】

【청구항 1】

기판 상부에 금속으로 배선을 형성하는 단계,
상기 배선을 덮는 무기 절연막을 적층하는 단계,
열처리 공정을 실시하는 단계,
상기 무기 절연막을 패터닝하여 상기 배선을 드러내는 접촉 구멍을 형성하는
단계 및
상기 배선과 전기적으로 연결되는 도전층을 형성하는 단계
를 포함하는 배선의 접촉 구조 형성 방법.

【청구항 2】

제1항에서,
상기 금속은 알루미늄 계열의 도전 물질로 형성하는 배선의 접촉 구조 형성
방법.

【청구항 3】

제1항에서,
상기 무기 절연막은 질화 규소인 배선의 접촉 구조 형성 방법.

【청구항 4】

제1항에서,
상기 무기 절연막은 250~400℃ 온도 범위에서 적층하는 배선 접촉 구조 형성
방법.

【청구항 5】

제1항에서,

상기 도전층은 투명한 도전 물질인 배선의 접촉 구조 형성 방법.

【청구항 6】

제5항에서,

상기 도전 물질은 IZO인 배선의 접촉 구조 형성 방법.

【청구항 7】

제6항에서,

상기 IZO는 250℃ 이하의 범위에서 형성하는 배선의 접촉 구조 형성 방법.

【청구항 8】

제1항에서,

상기 열처리 공정은 어닐링(annealing)을 통하여 이루어지는 배선의 접촉 구조 형성 방법.

【청구항 9】

제8항에서,

상기 어닐링은 250~400℃ 범위에서 실시하는 배선의 접촉 구조 형성 방법.

【청구항 10】

기판 상부에 알루미늄 계열을 포함하는 도전 물질로 형성되어 있는 배선,

상기 배선을 덮고 있으며, 상기 배선의 일부를 드러내는 접촉 구멍을 가지는 무기 절연막,

상기 무기 절연막에 상부에 IZO로 형성되어 있으며, 상기 접촉 구멍을 통하여 상기 배선과 직접 접촉하는 도전층을 포함하는 배선의 접촉 구조.

【청구항 11】

제10항에서,
상기 접촉 구멍은 각을 가지거나 원 모양으로 형성되어 있으며, 한 변의 길이 또는 지름이 $4\mu\text{m} \times 4\mu\text{m}$ 이상인 배선의 접촉 구조.

【청구항 12】

제10항에서,
상기 무기 절연막은 질화 규소인 배선의 접촉 구조.

【청구항 13】

제10항에서,
상기 알루미늄 계열의 금속은 평평한 면을 가지는 배선의 접촉 구조.

【청구항 14】

게이트 배선을 형성하는 단계,
데이터 배선을 형성하는 단계,
반도체층을 형성하는 단계,
상기 게이트선, 상기 데이터선 또는 반도체층을 덮는 절연막을 형성하는 단계,
열처리 공정을 실시하는 단계,

상기 절연막을 패터닝하여 상기 게이트 배선 또는 상기 데이터 배선을 드러내는 접촉 구멍을 형성하는 단계,

상기 접촉 구멍을 통하여 상기 게이트 배선 또는 상기 데이터 배선과 연결되는 도전층을 형성하는 단계

을 포함하는 박막 트랜지스터 기판의 제조 방법.

【청구항 15】

제14항에서,

상기 게이트 배선 및 상기 데이터 배선은 알루미늄 계열의 도전 물질을 포함하는 박막 트랜지스터 기판의 제조 방법.

【청구항 16】

제14항에서,

상기 절연막은 질화 규소로 형성하는 박막 트랜지스터 기판의 제조 방법.

【청구항 17】

제14에서,

상기 절연막은 250~400℃ 범위에서 형성하는 박막 트랜지스터 기판의 제조 방법.

【청구항 18】

제14항에서,

상기 도전층은 IZO로 형성하는 박막 트랜지스터 기판의 제조 방법.

【청구항 19】

제18항에서,

상기 IZO는 250℃ 이하의 범위에서 적층하는 박막 트랜지스터 기판의 제조 방법.

【청구항 20】

제14항에서,

상기 열처리 공정으로 어닐링으로 이루어지는 박막 트랜지스터 기판의 제조 방법.

【청구항 21】

제20항에서,

상기 어닐링은 250~400℃ 온도 범위에서 실시하는 박막 트랜지스터 기판의 제조 방법.

【청구항 22】

절연 기판 위에 제1 도전 물질을 적층하고 패터닝하여 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

게이트 절연막을 적층하는 단계,

반도체층을 형성하는 단계,

제2 도전 물질을 적층하고 패터닝하여 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

보호막을 적층하는 단계,

열처리 공정을 실시하는 단계,

상기 보호막을 패터닝하여 상기 드레인 전극 상부에 제1 접촉 구멍을 형성하는 단계,

상기 보호막 상부에 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 23】

제22항에서,

상기 제1 및 제2 도전 물질은 알루미늄 계열의 금속을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 24】

제22항에서,

상기 게이트 절연막 및 상기 보호막 적층 단계는 250~400℃ 범위에서 실시하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 25】

제22항에서,

상기 게이트 절연막 및 상기 보호막은 질화 규소로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 26】

제22항에서,

상기 화소 전극은 투명한 도전 물질로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 27】

제26항에서,

상기 화소 전극은 IZO로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 28】

제27항에서,

상기 IZO는 250℃ 이하의 범위에서 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 29】

제22항에서,

상기 열처리 공정은 어닐링을 통하여 이루어지는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 30】

제29항에서,

상기 어닐링은 250~400℃ 이상의 온도 범위에서 실시하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 31】

제22항에서,

상기 게이트 배선은 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 더 포함하며,

상기 데이터 배선은 외부로부터 영상 신호를 전달받아 상기 데이터선으로 전달하는 데이터 패드를 더 포함하며,

상기 보호막은 상기 데이터 패드 및 상기 게이트 절연막과 함께 상기 게이트 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에 상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 전기적으로 연결되는 보조 게이트 패드와 보조 데이터 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 32】

제22항에서,

상기 데이터 배선 및 상기 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 사진 식각 공정으로 함께 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 33】

제32항에서,

상기 감광막 패턴은 제1 두께를 가지는 제1 부분, 상기 제1 두께보다 두꺼운 제2 부분, 두께를 가지지 않으며 상기 제1 및 제2 부분을 제외한 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 34】

제33항에서,

상기 사진 식각 공정에서 상기 감광막 패턴은 제1 영역, 상기 제1 영역보다 낮은 투과율을 가지는 제2 영역 및 상기 제1 영역보다 높은 투과율을 가지는 제3 영역을 포함하는 광마스크를 이용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 35】

제34항에서,

상기 사진 식각 공정에서 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 36】

제35항에서,

상기 제1 내지 제3 영역의 투과율을 다르게 조절하기 위해서 상기 광마스크에는 반투명막 또는 노광기의 분해능보다 작은 슬릿 패턴이 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 37】

제36항에서,

상기 제1 부분의 두께는 상기 제2 부분의 두께에 대하여 $1/2$ 이하로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 38】

제22항에서,

상기 반도체층과 상기 데이터 배선 사이에 저항성 접촉층을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 39】

제38항에서,

상기 데이터 배선과 상기 접촉층 및 상기 반도체층을 하나의 마스크를 사용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 40】

절연 기판 위에 제1 도전 물질로 이루어진 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

제2 도전 물질로 이루어져 있으며, 상기 게이트 절연막 상부에 형성되어 있는 데이터 배선,

상기 데이터 배선을 덮고 있는 보호막,

상기 게이트 절연막 또는 상기 보호막에 형성되어 있는 제1 접촉 구멍을 통하여 상기 게이트 배선 또는 상기 데이터 배선과 직접 접촉하여 연결되어 있는 투명 도전막 패턴

을 포함하는 박막 트랜지스터 기판.

【청구항 41】

제40항에서,

상기 제1 및 제2 도전 물질은 알루미늄 계열의 금속을 포함하는 박막 트랜지스터 기판.

【청구항 42】

제41항에서,

상기 알루미늄 계열의 금속은 평평한 면을 가지는 박막 트랜지스터 기판.

【청구항 43】

제40항에서,

상기 게이트 절연막 및 상기 보호막은 질화 규소로 이루어진 박막 트랜지스터 기판.

【청구항 44】

제40항에서,

상기 투명 도전막 패턴은 IZO로 이루어진 박막 트랜지스터 기판.

【청구항 45】

제40항에서,

상기 게이트 배선은 가로 방향으로 뻗어 있는 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극 및 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 포함하며,

상기 데이터 배선은 세로 방향으로 뻗어 있는 데이터선, 상기 데이터선과 연결되어 있는 소스 전극, 상기 소스 전극과 분리되어 있으며 상기 게이트 전극을 중

심으로 상기 소스 전극과 마주하는 드레인 전극 및 외부로부터 영상 신호를 전달받을 상기 데이터선으로 전달하는 데이터 패드를 포함하는 박막 트랜지스터 기판.

【청구항 46】

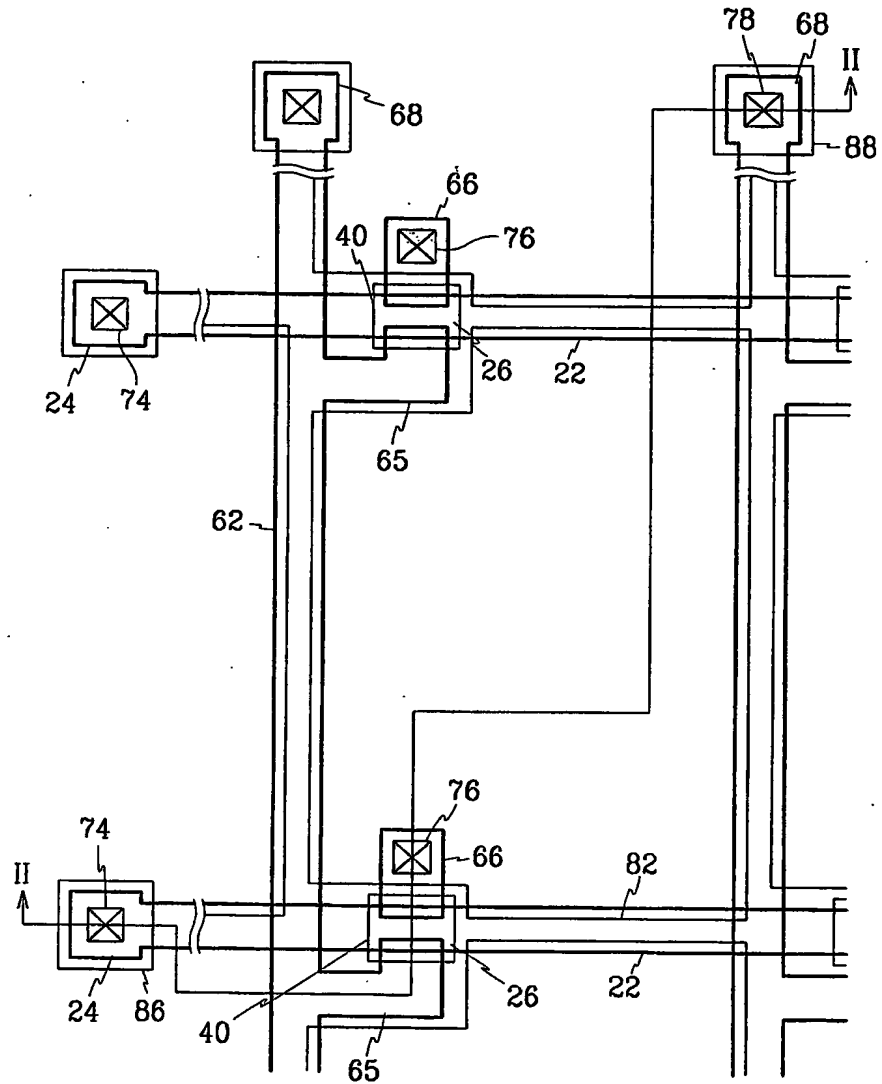
제45항에서,

상기 보호막은 상기 데이터 패드 및 상기 게이트 절연막과 함께 상기 게이트 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

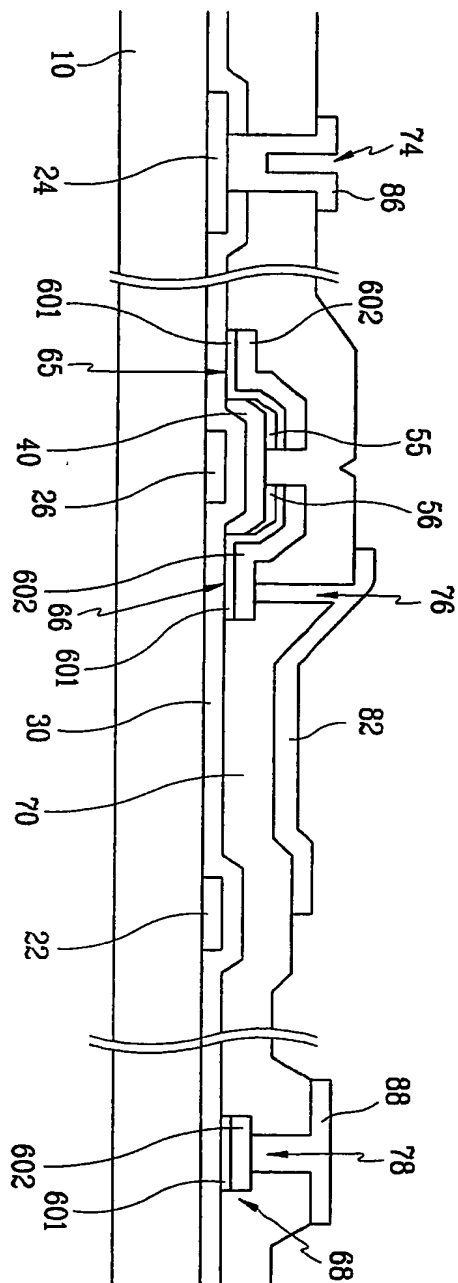
상기 제1 내지 제3 접촉 구멍은 각을 가지거나 원 모양으로 형성되어 있으며, 상기 접촉 구멍의 크기는 $4\mu\text{m} \times 4\mu\text{m}$ 이상인 박막 트랜지스터 기판.

【도면】

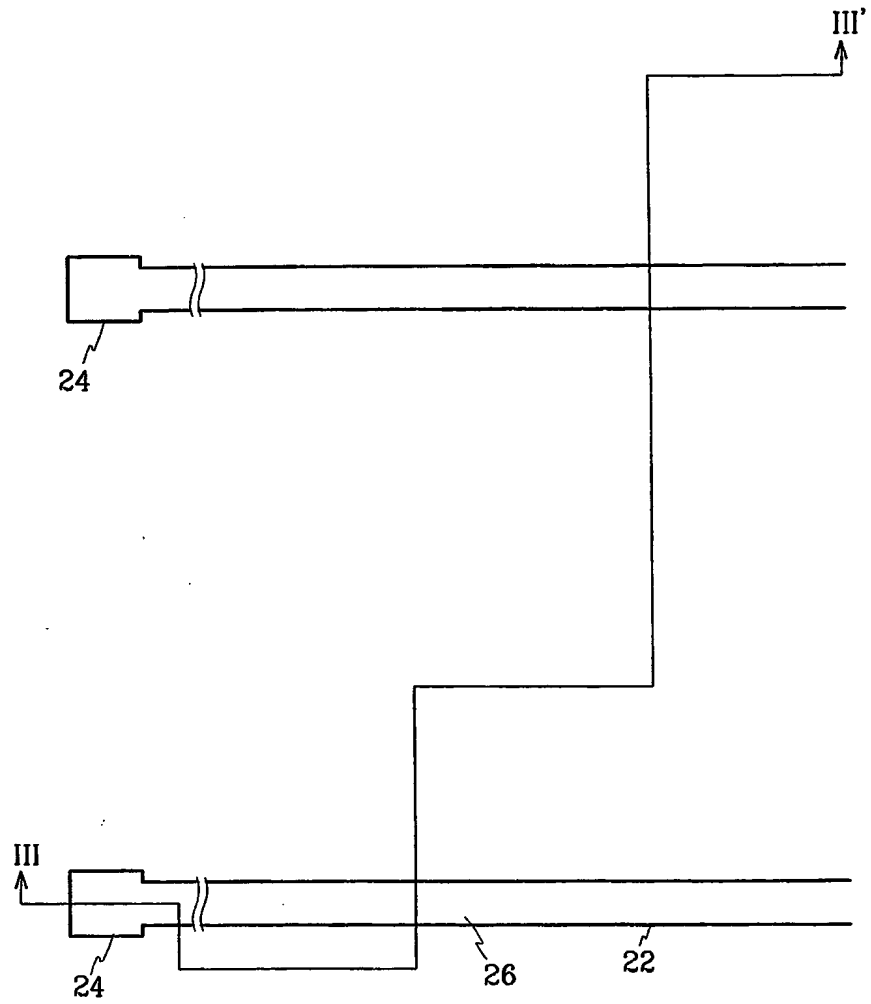
【도 1】



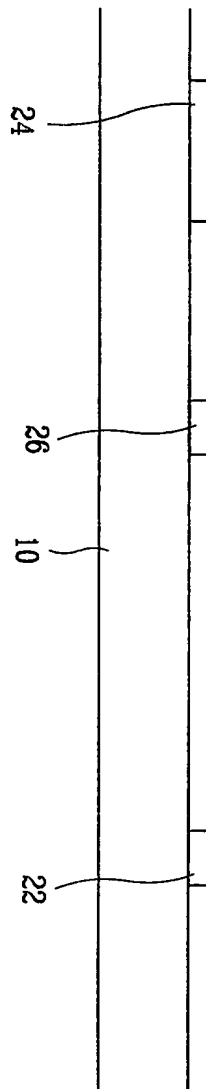
【도 2】



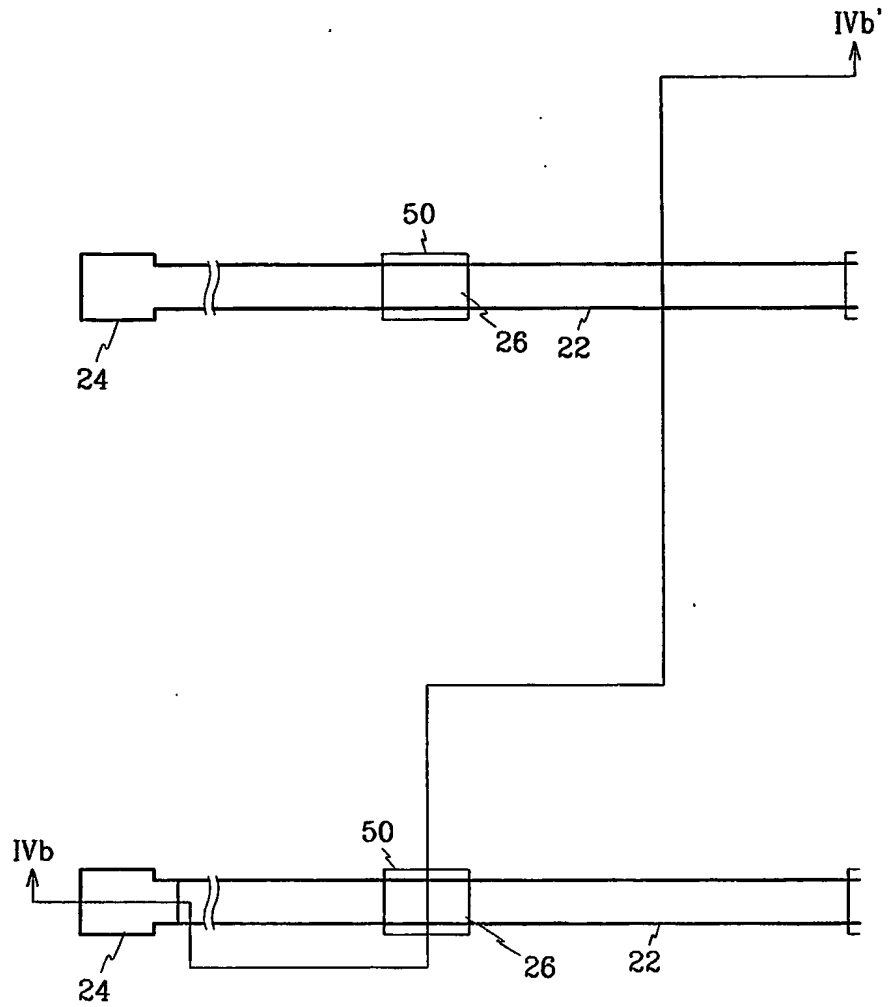
【도 3a】



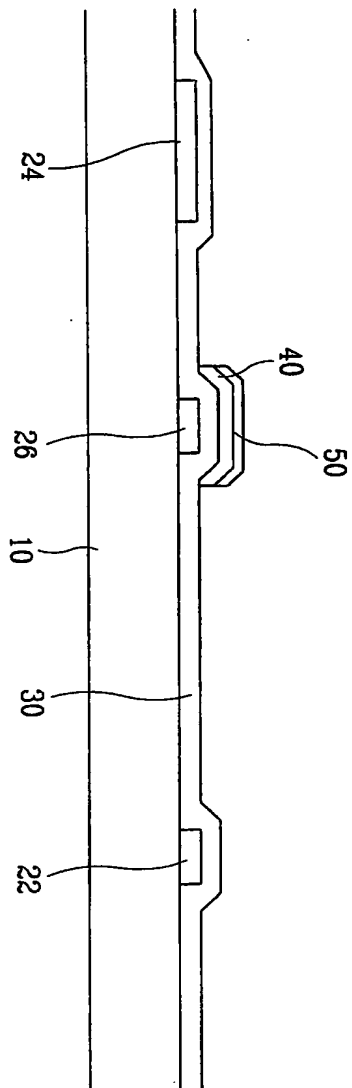
【도 3b】



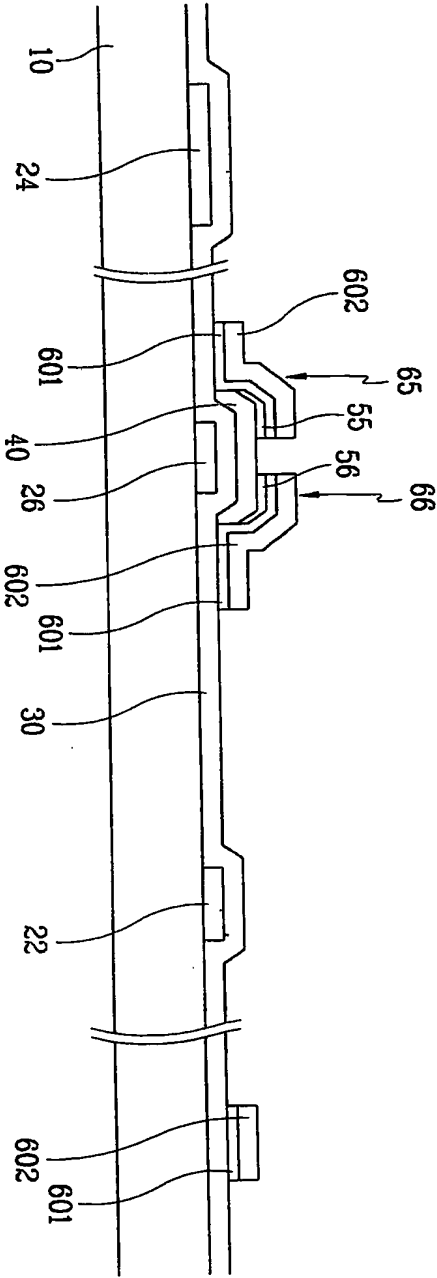
【도 4a】



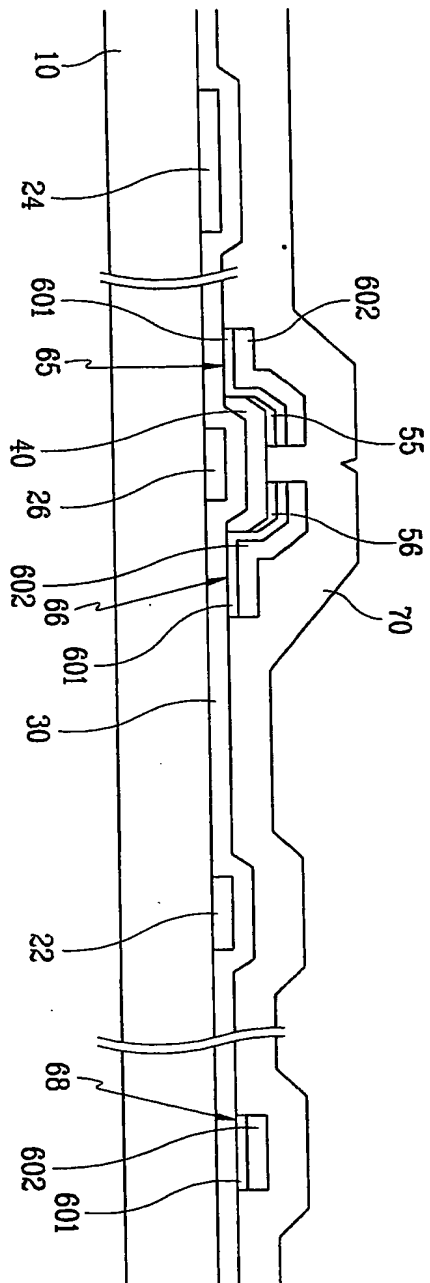
【도 4b】



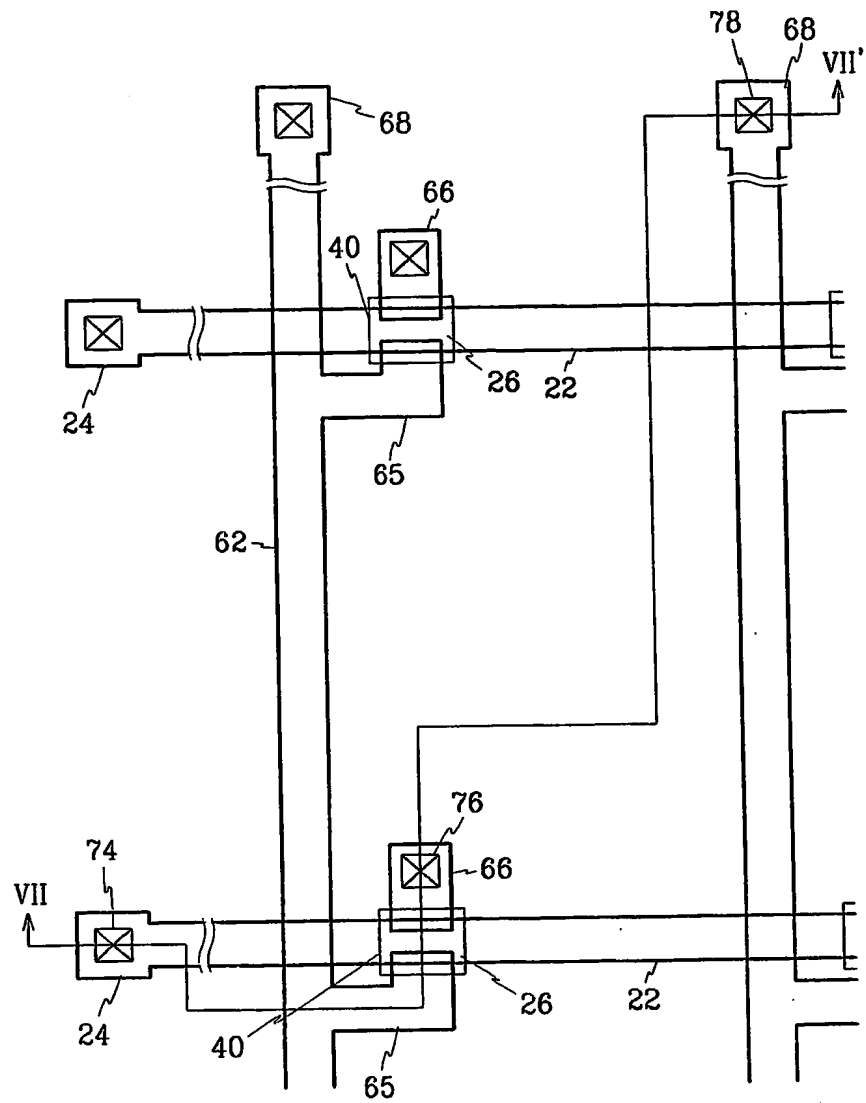
【도 5b】



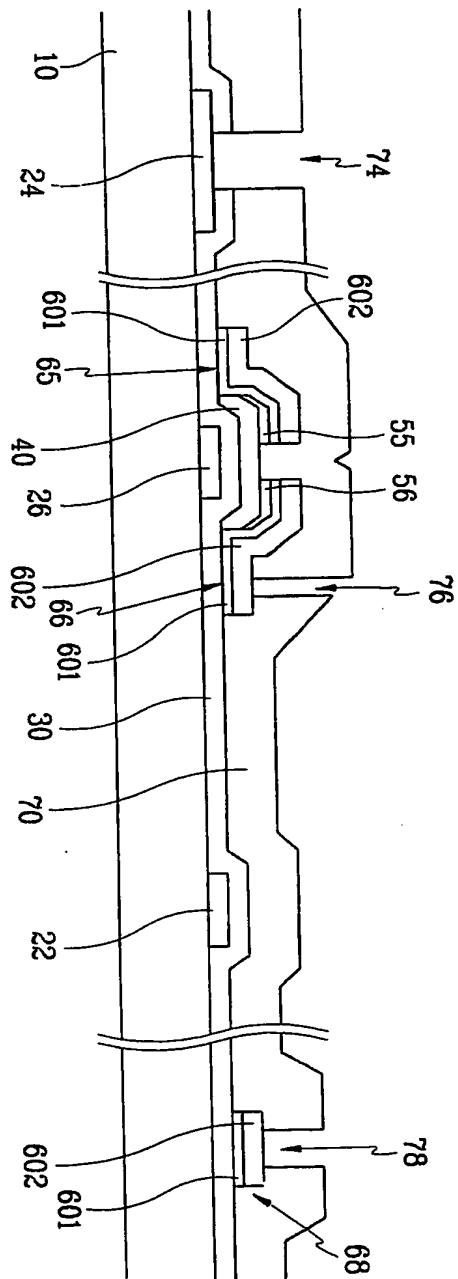
【도 6】



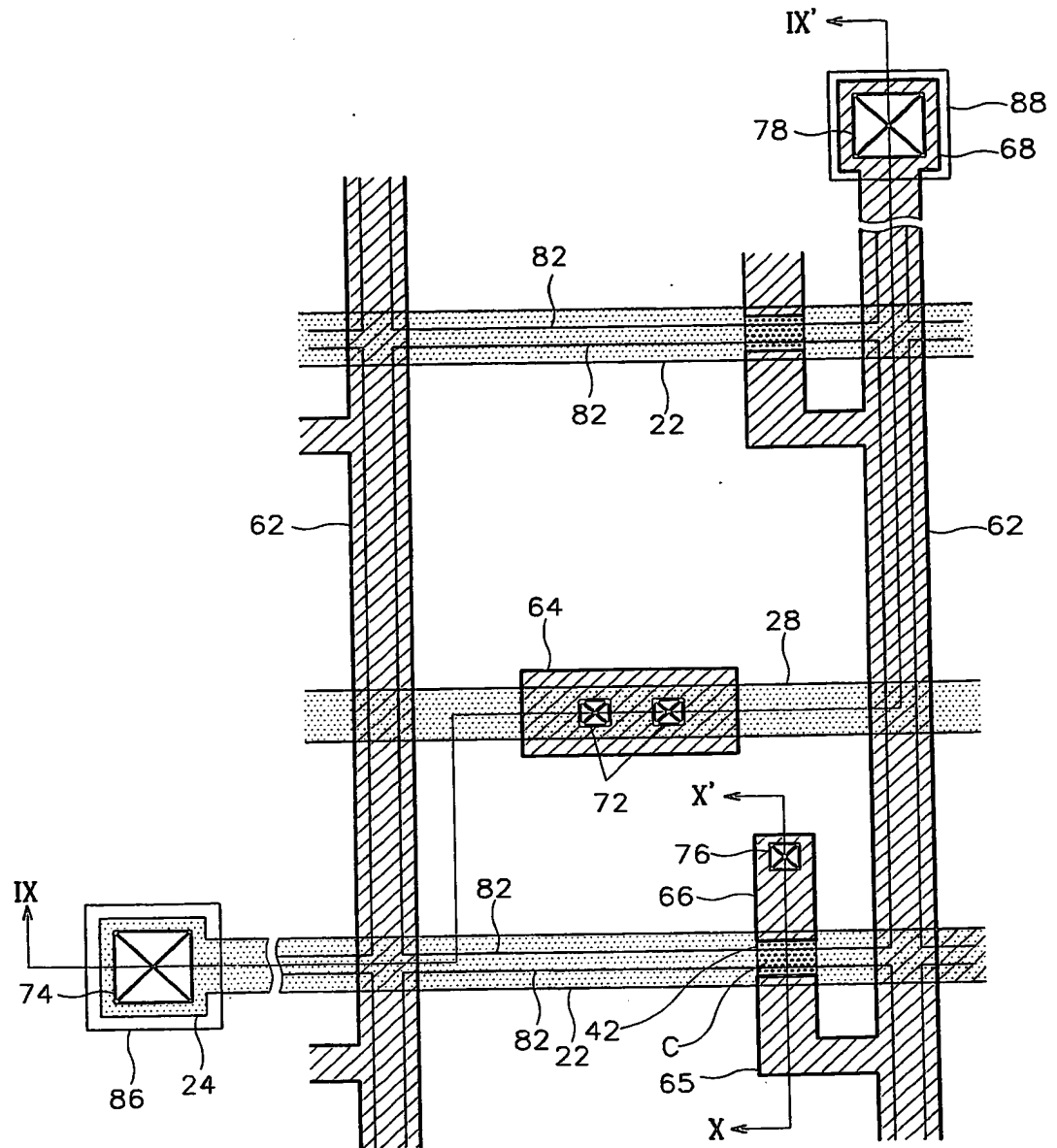
【도 7a】

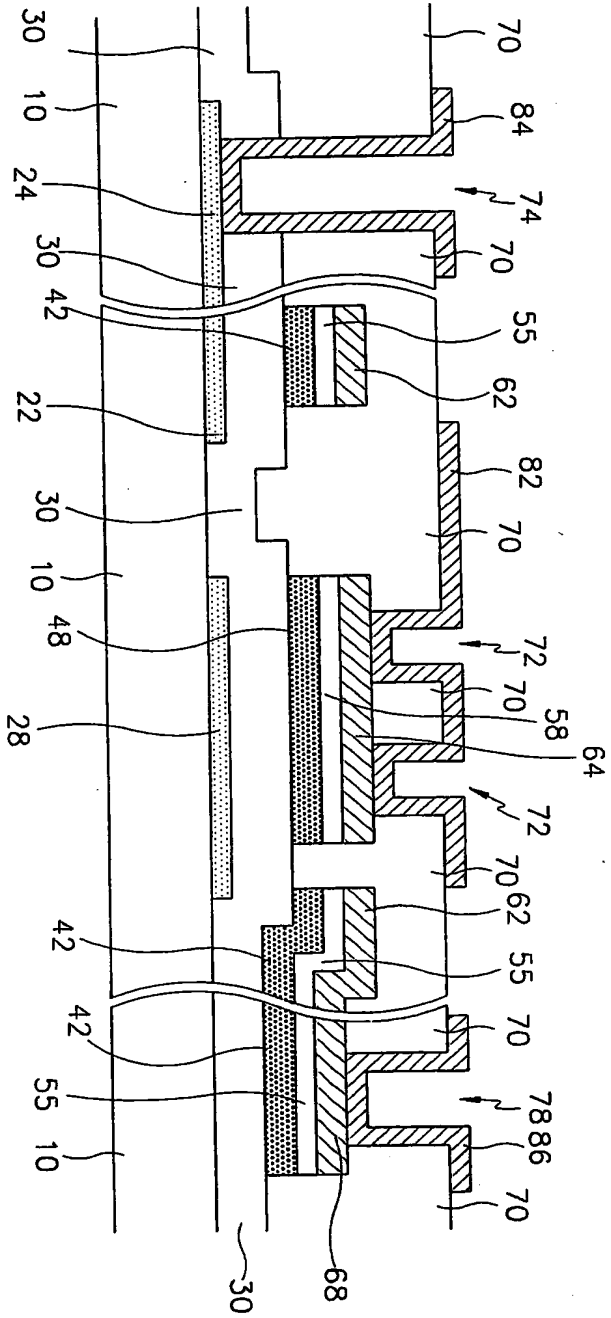


【도 7b】



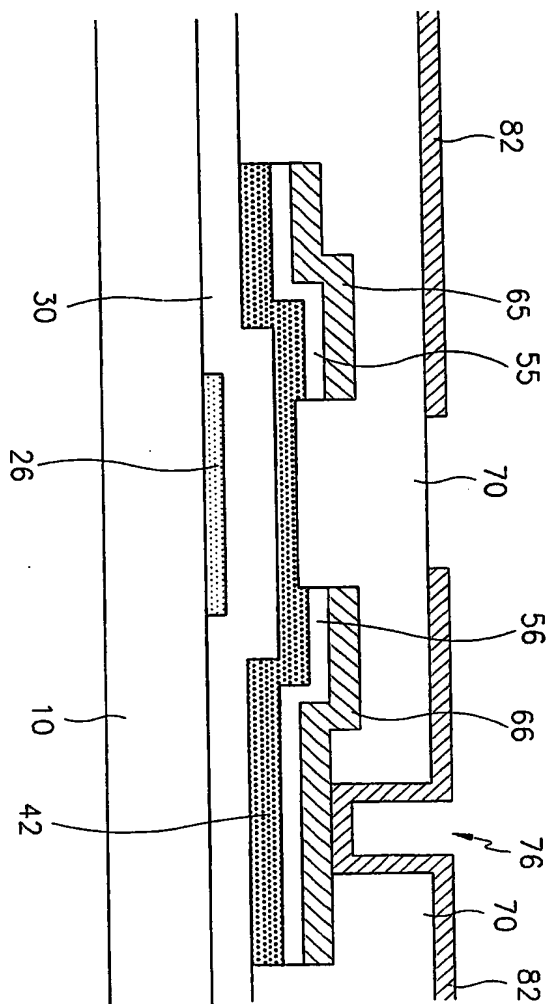
【도 8】



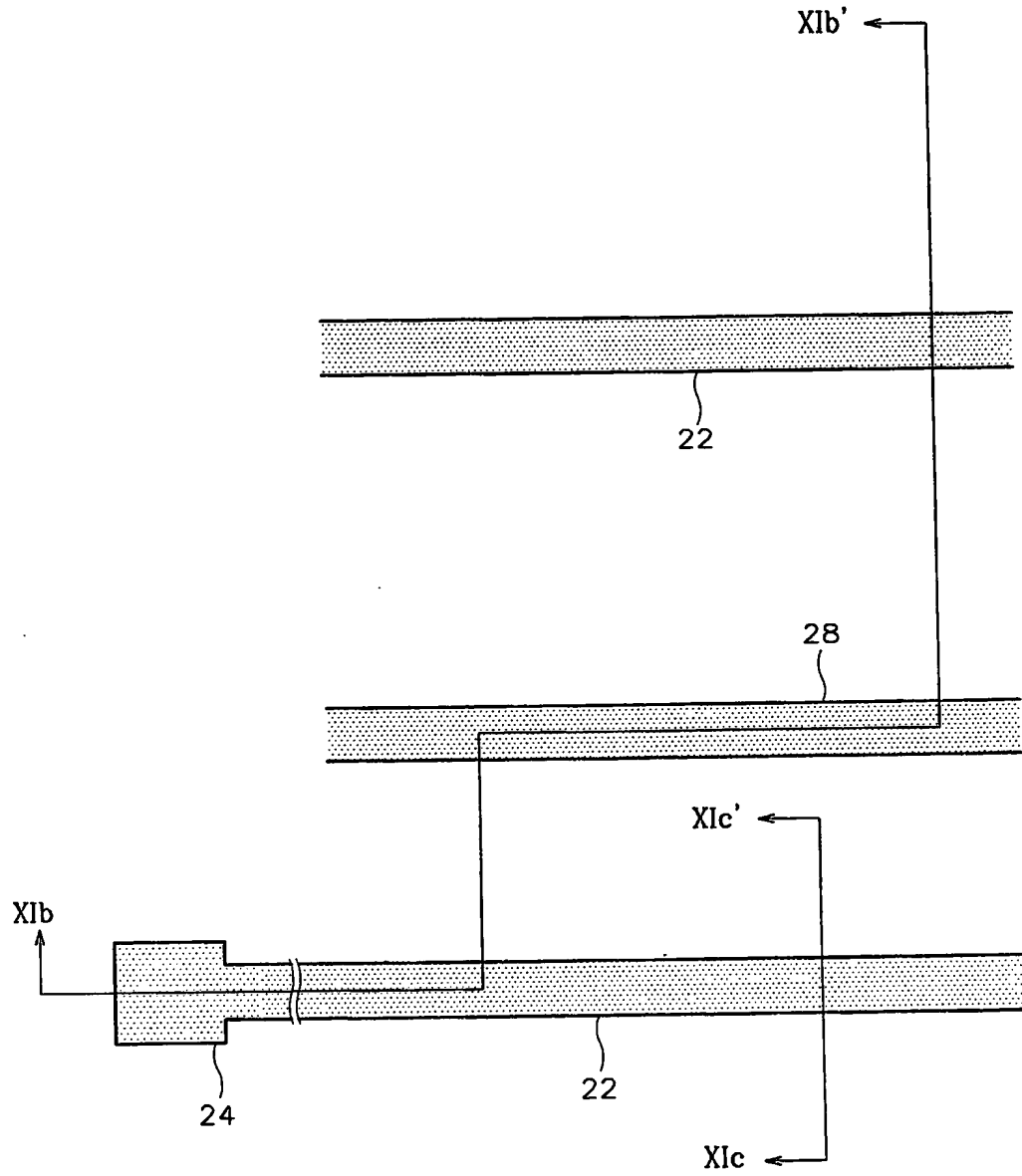


【図 9】

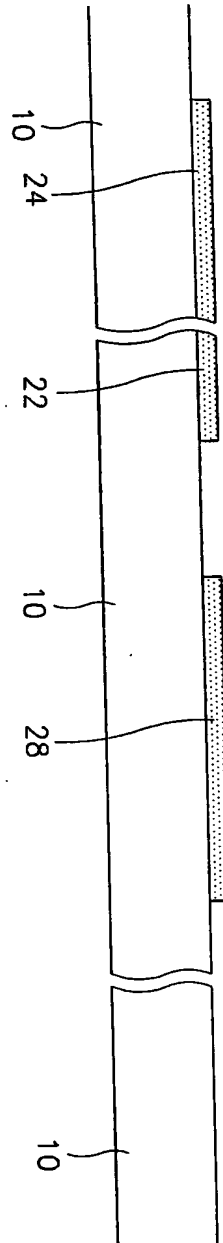
【図 10】



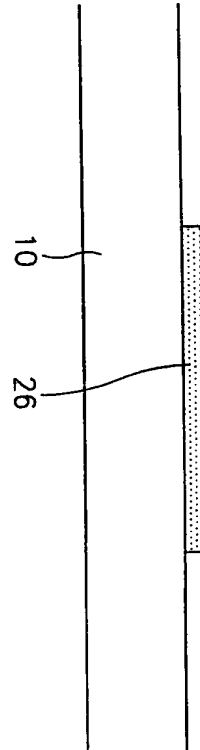
【도 11a】



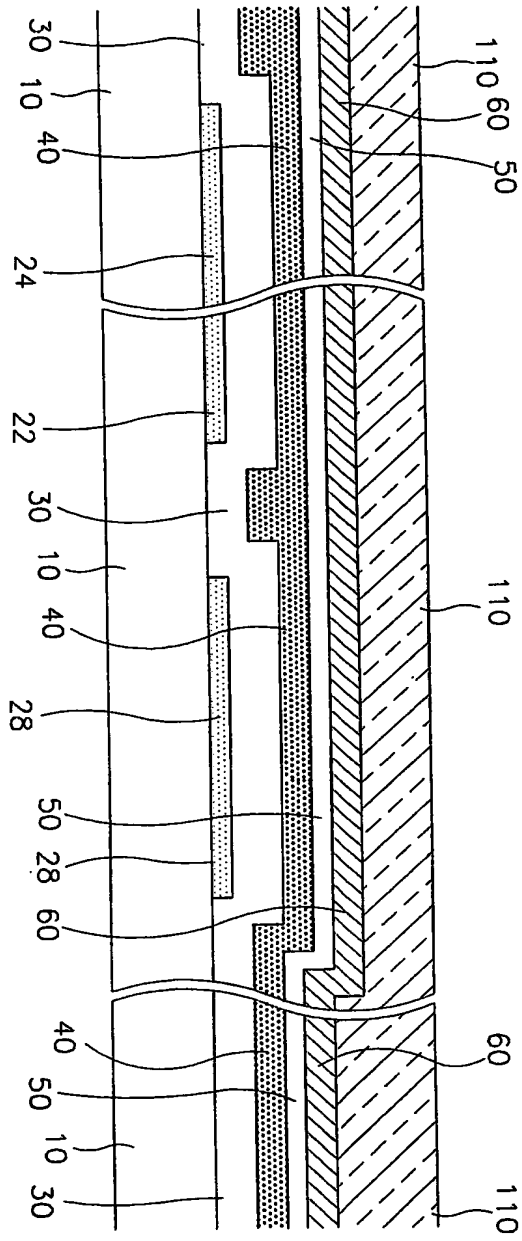
【도 11b】



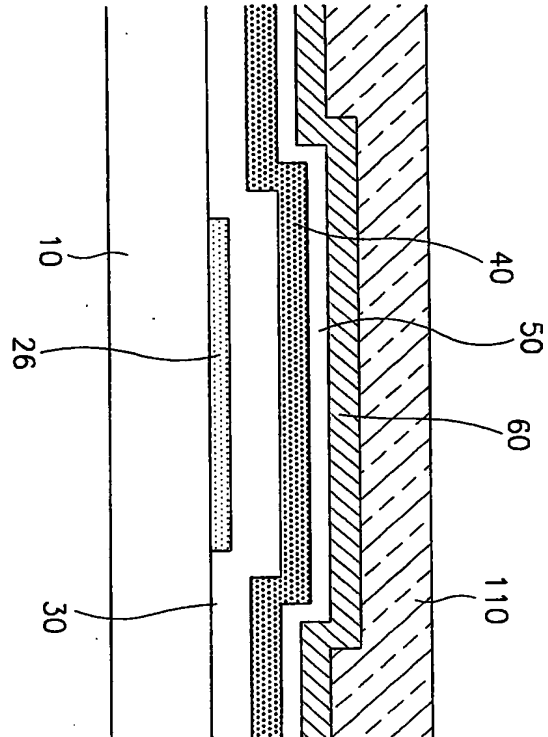
【도 11c】



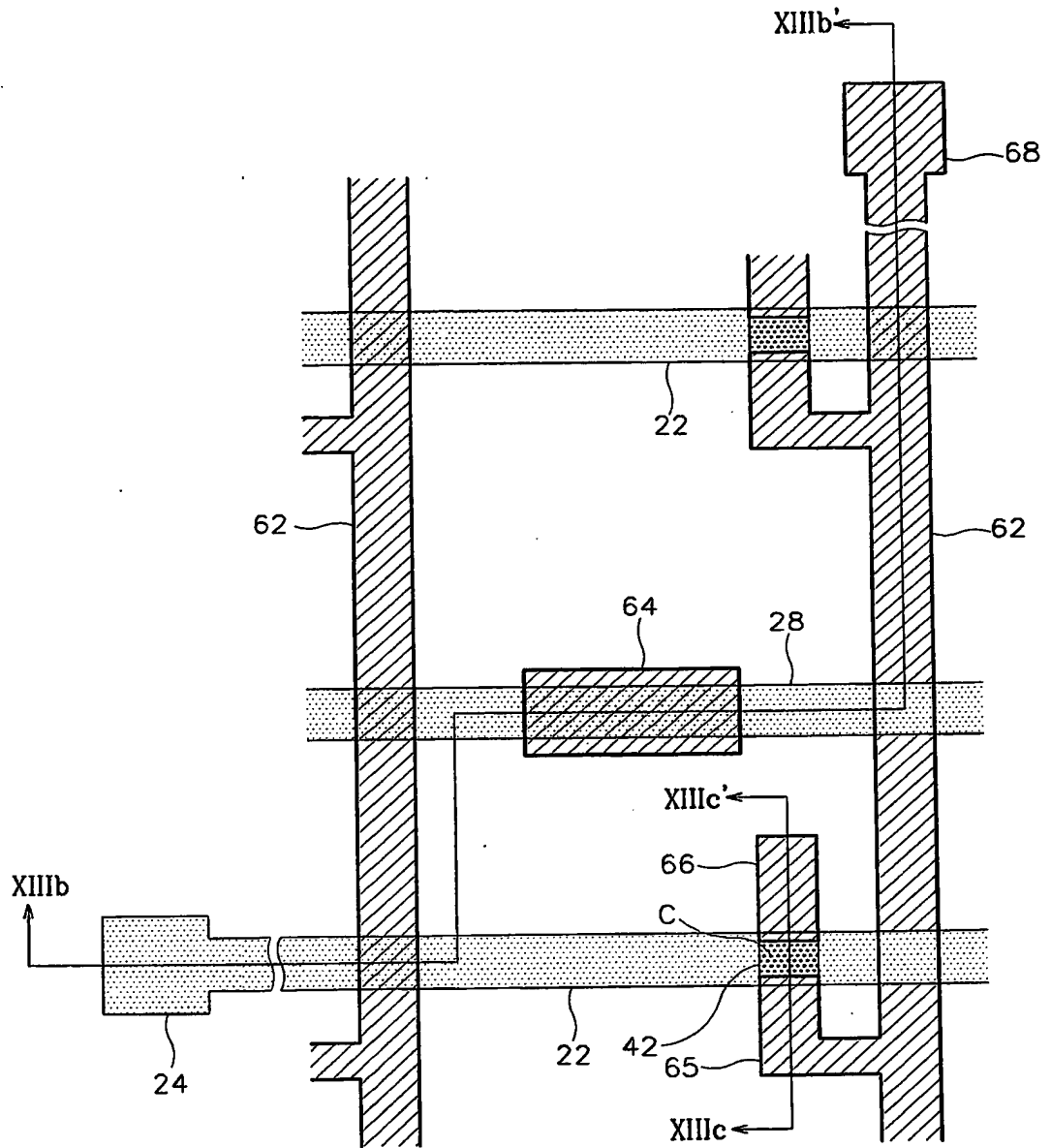
【도 12a】



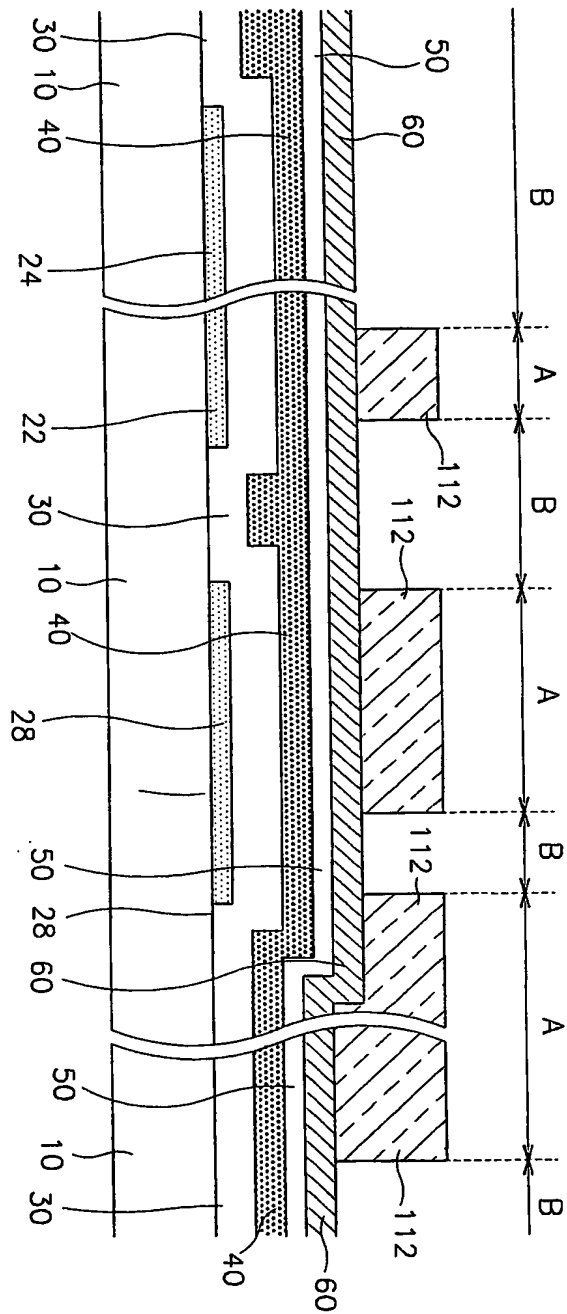
【도 12b】



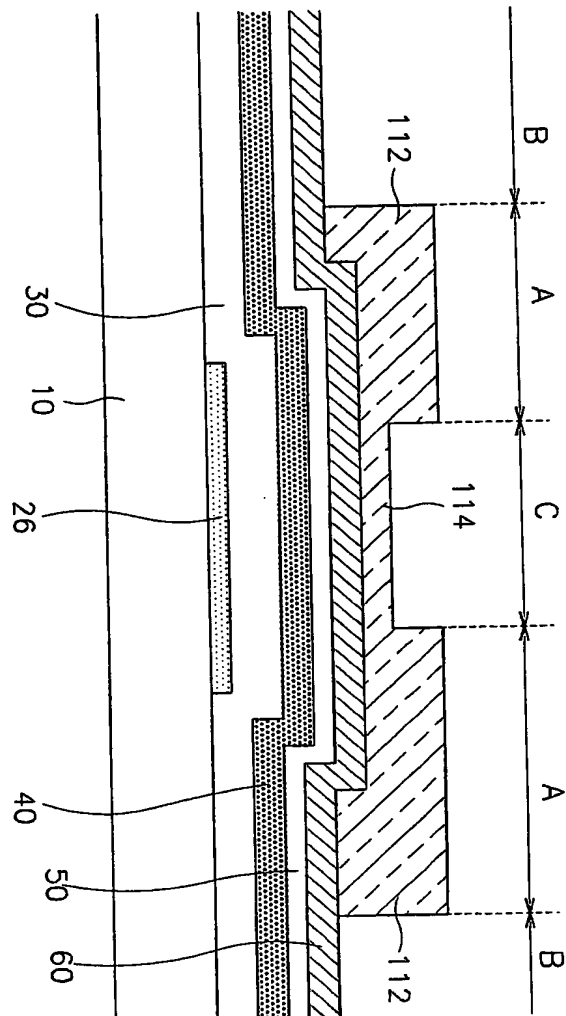
【도 13a】



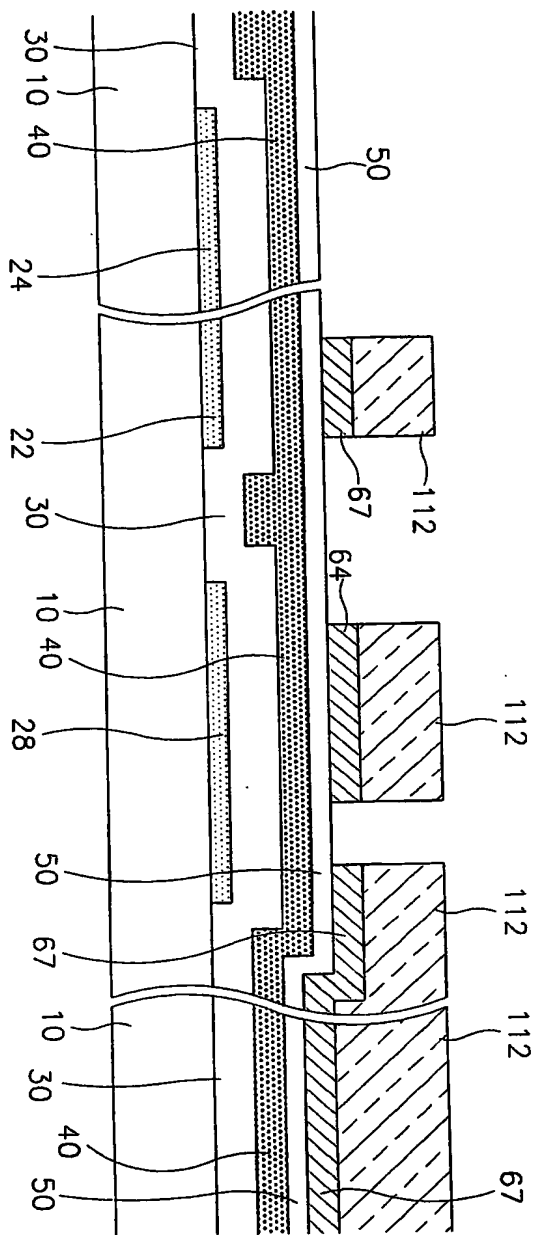
【図 13b】



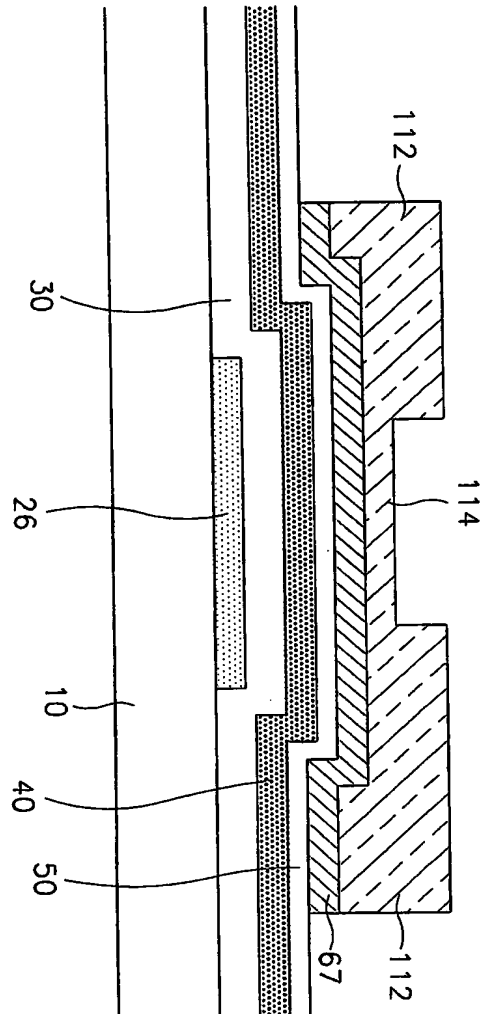
【図 13c】



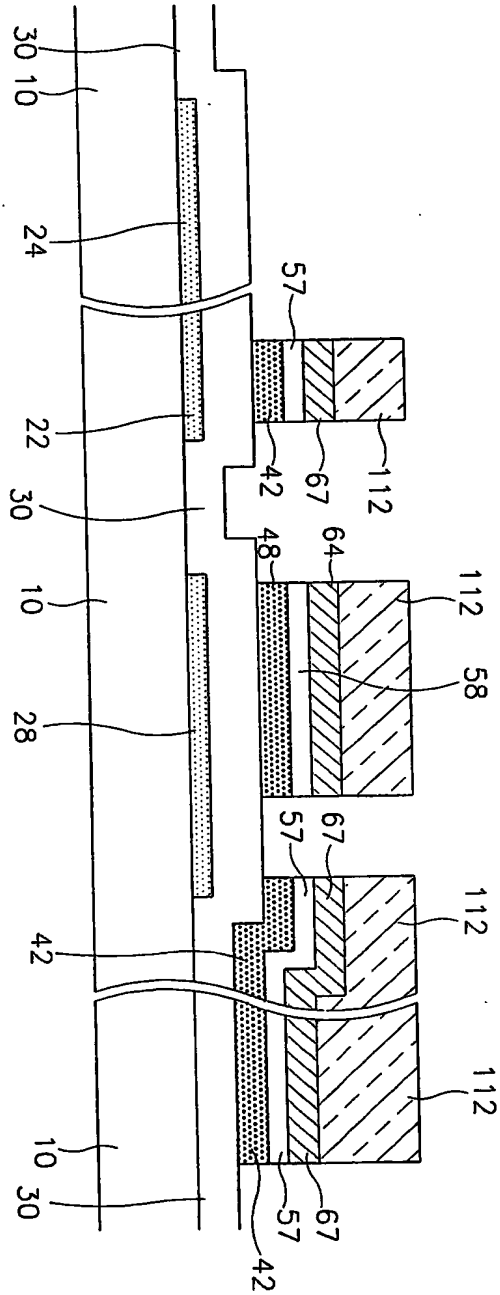
【図 14a】



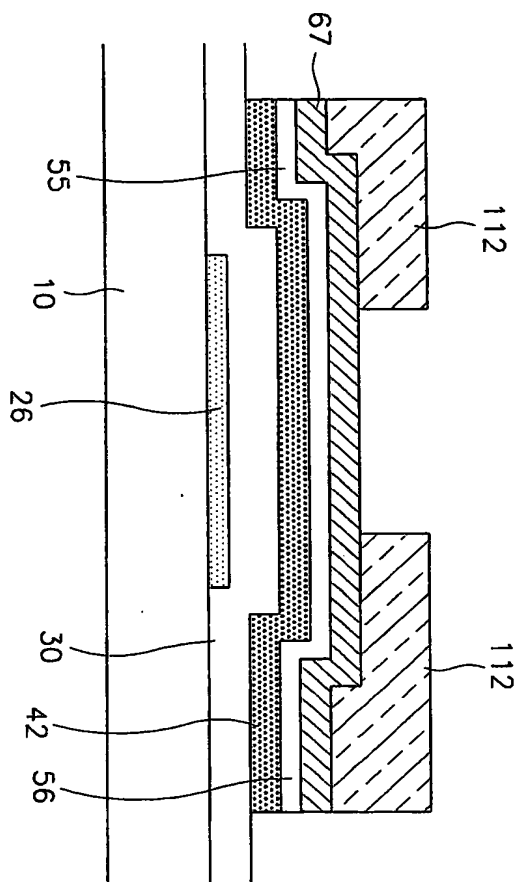
【도 14b】



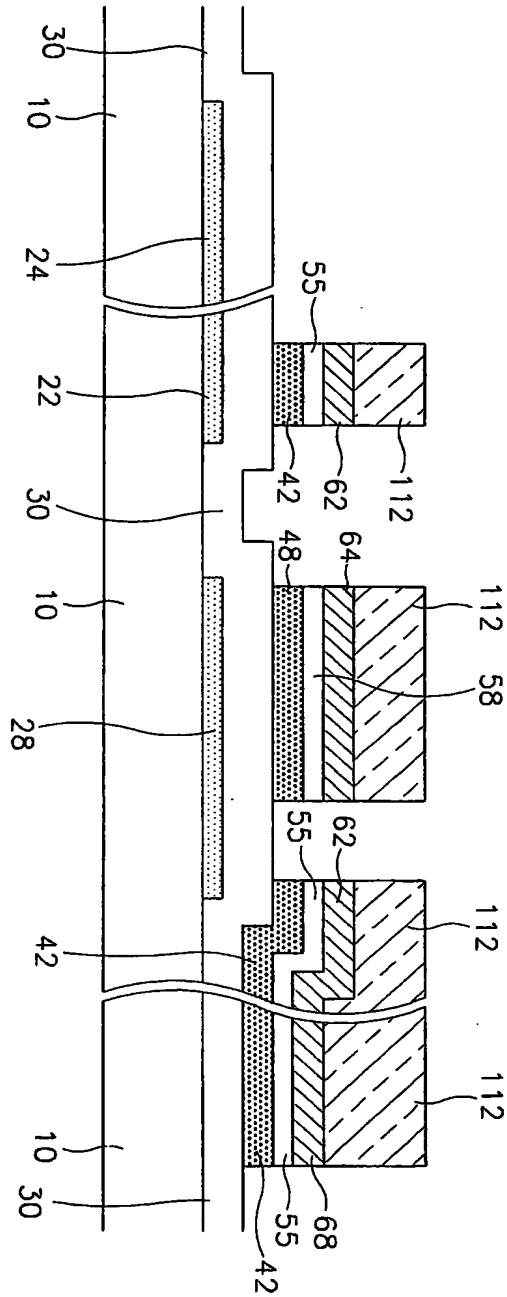
【도 15a】



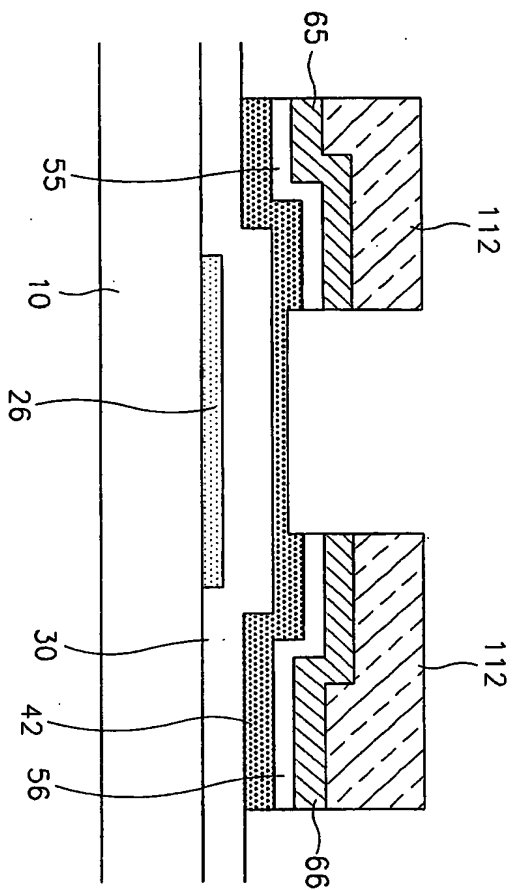
【図 15b】



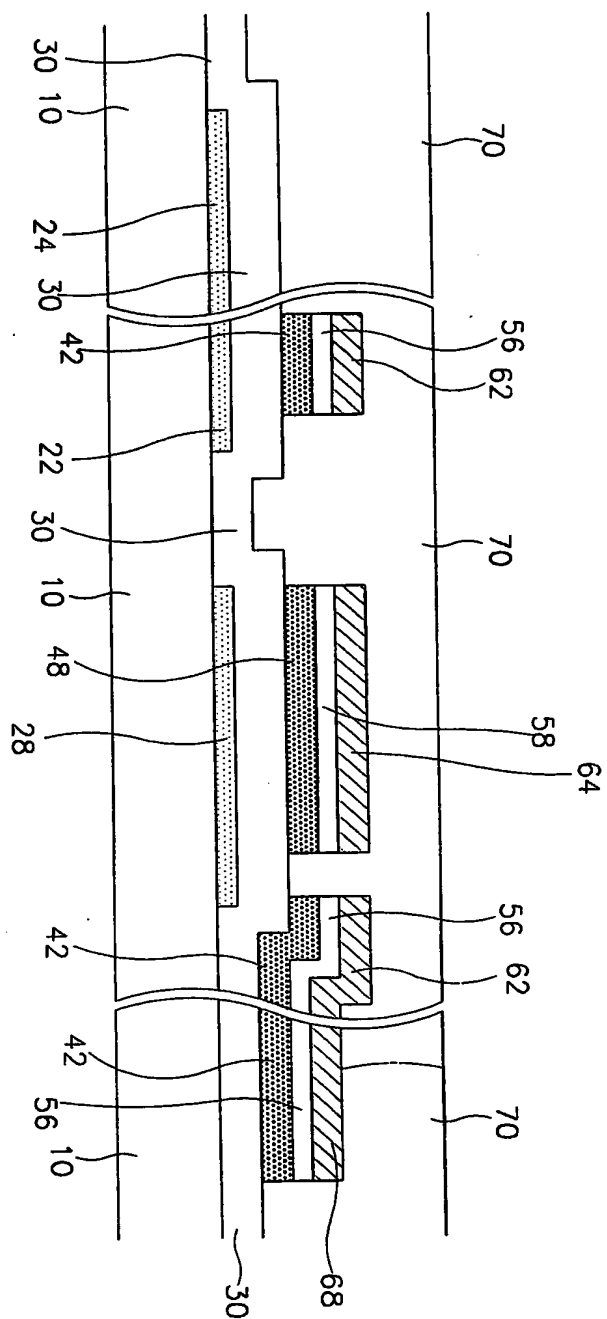
【도 16a】



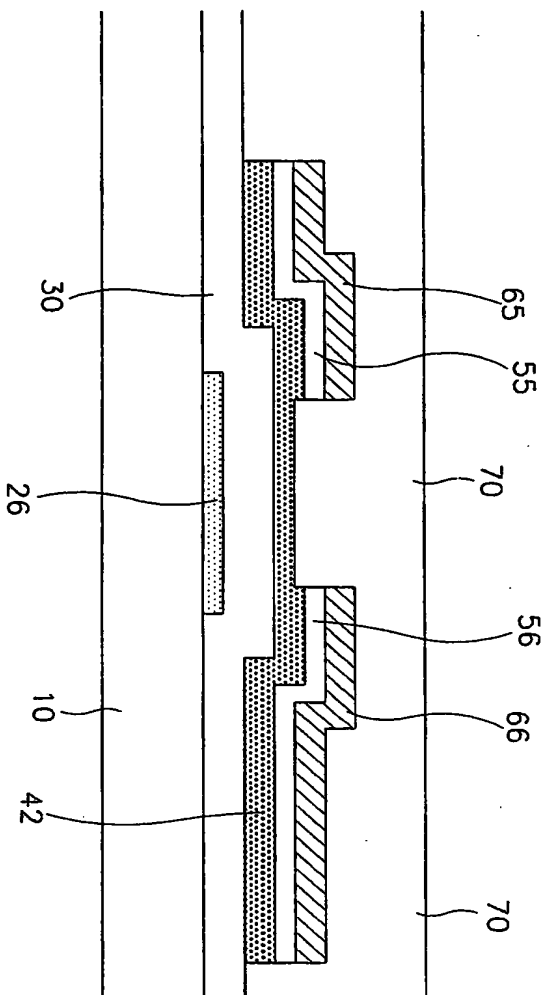
【図 16b】



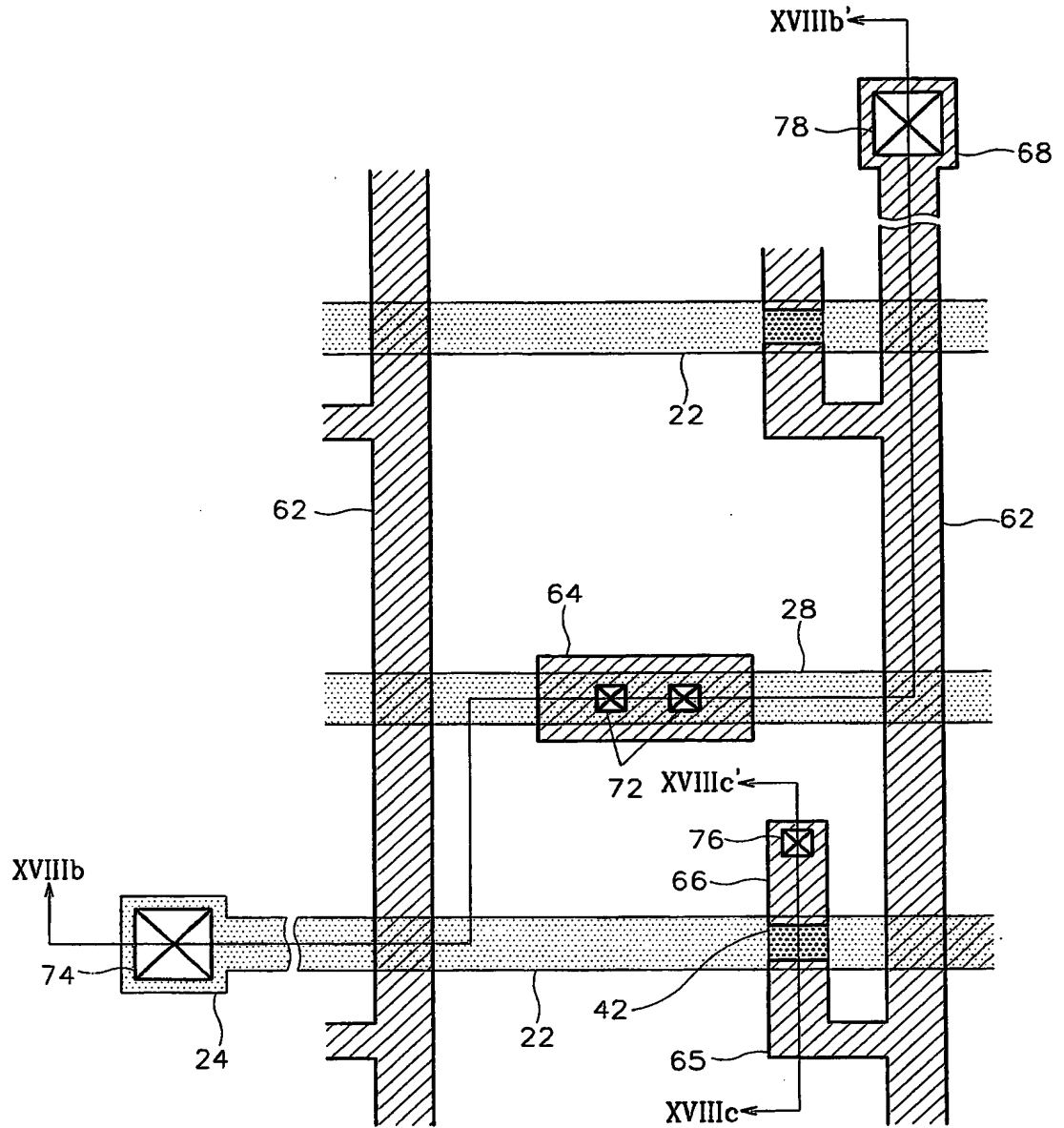
【図 17a】



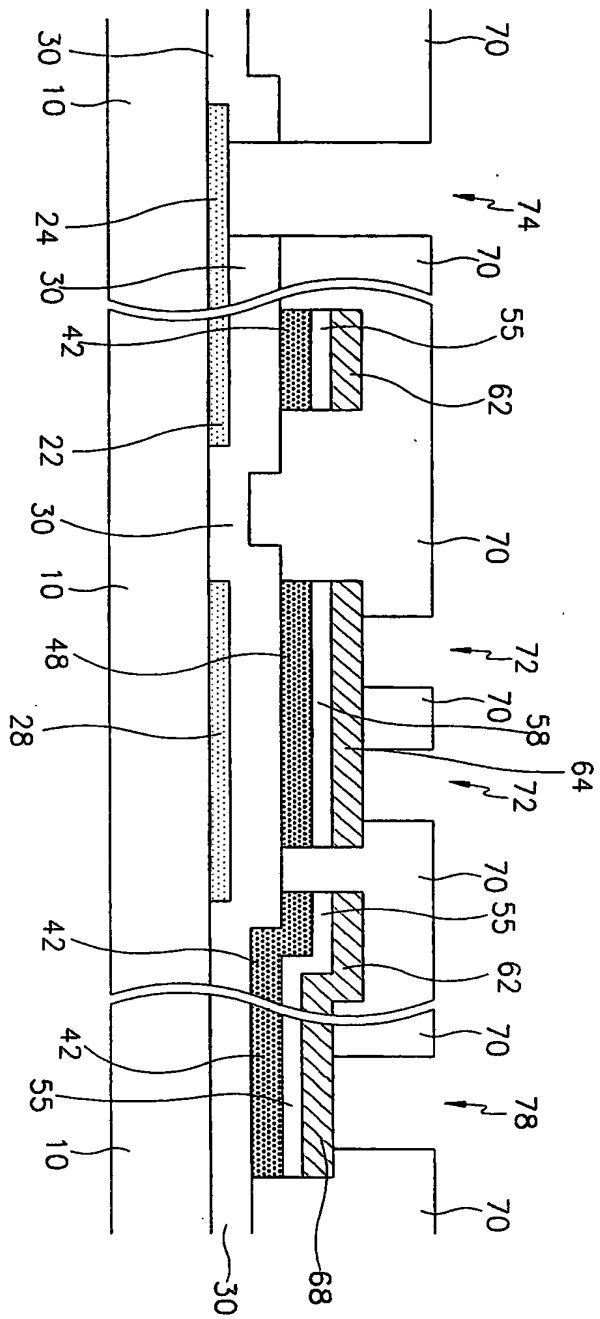
【図 17b】



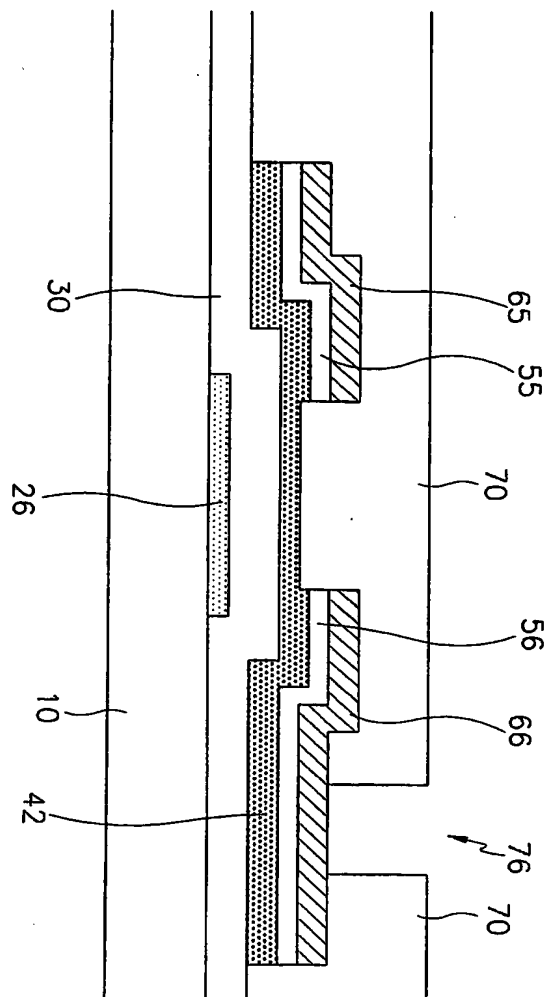
【図 18a】



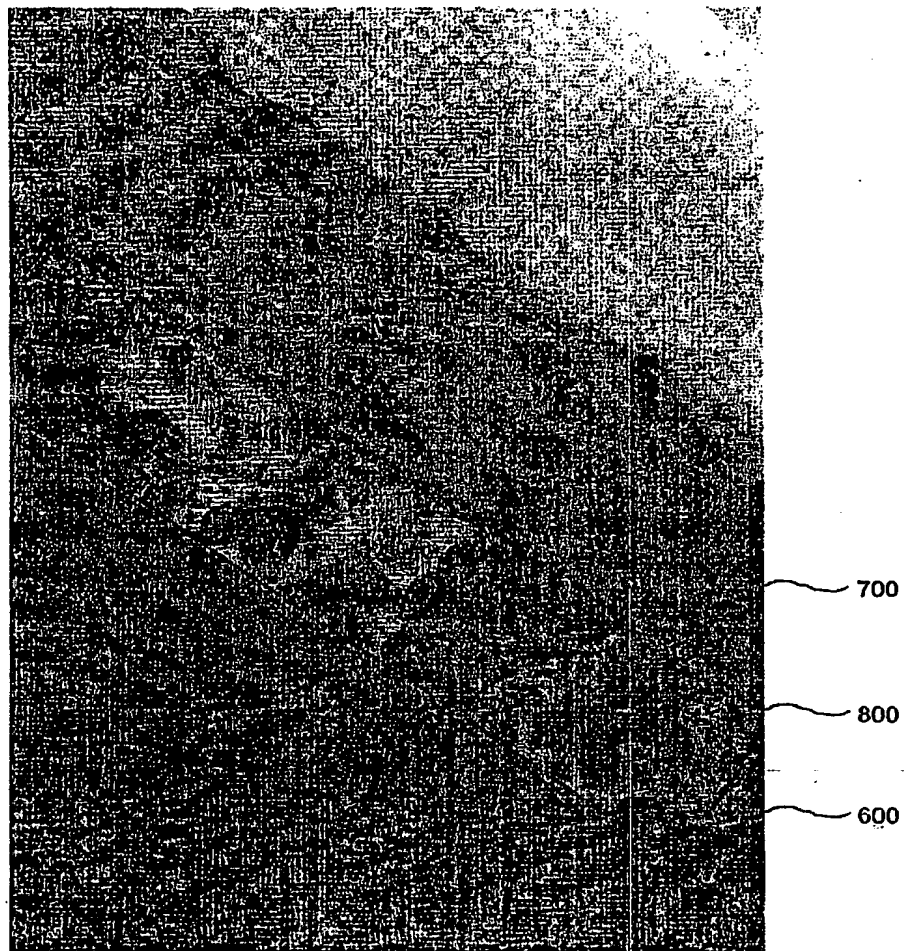
【도 18b】



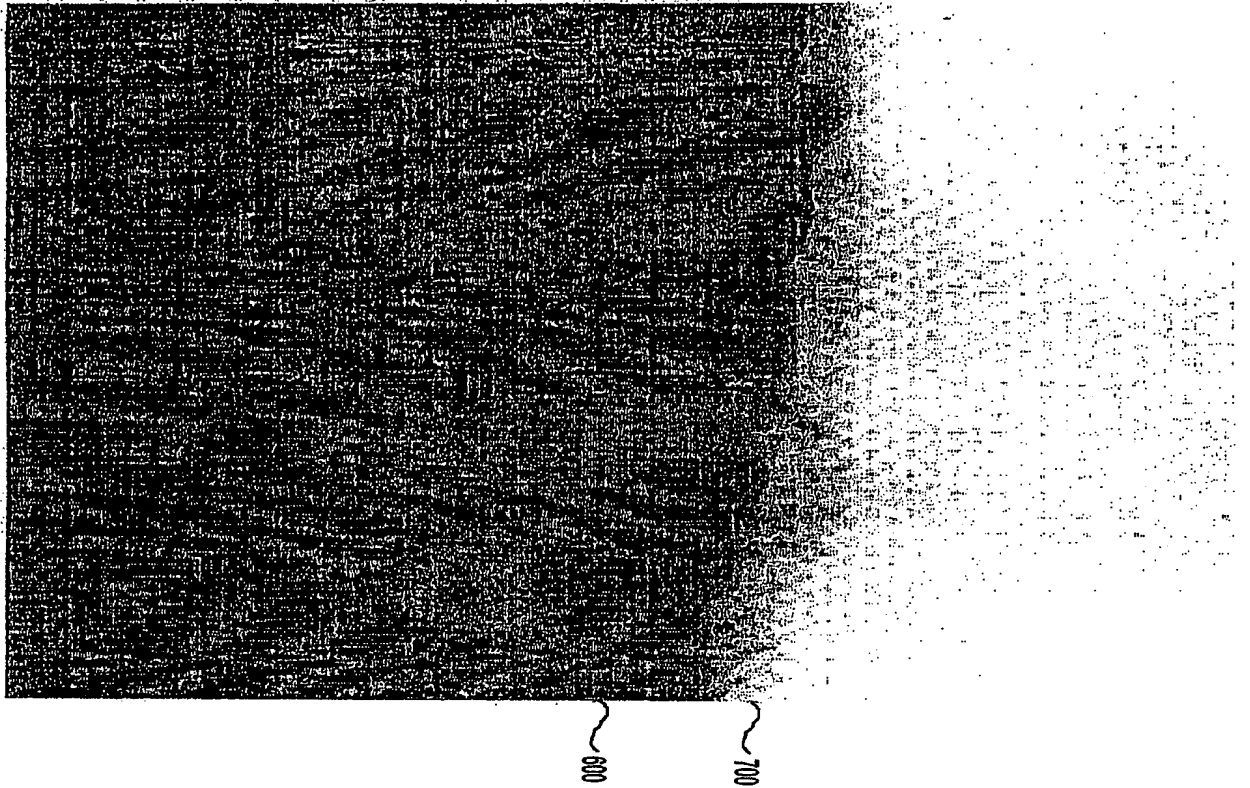
【図 18c】



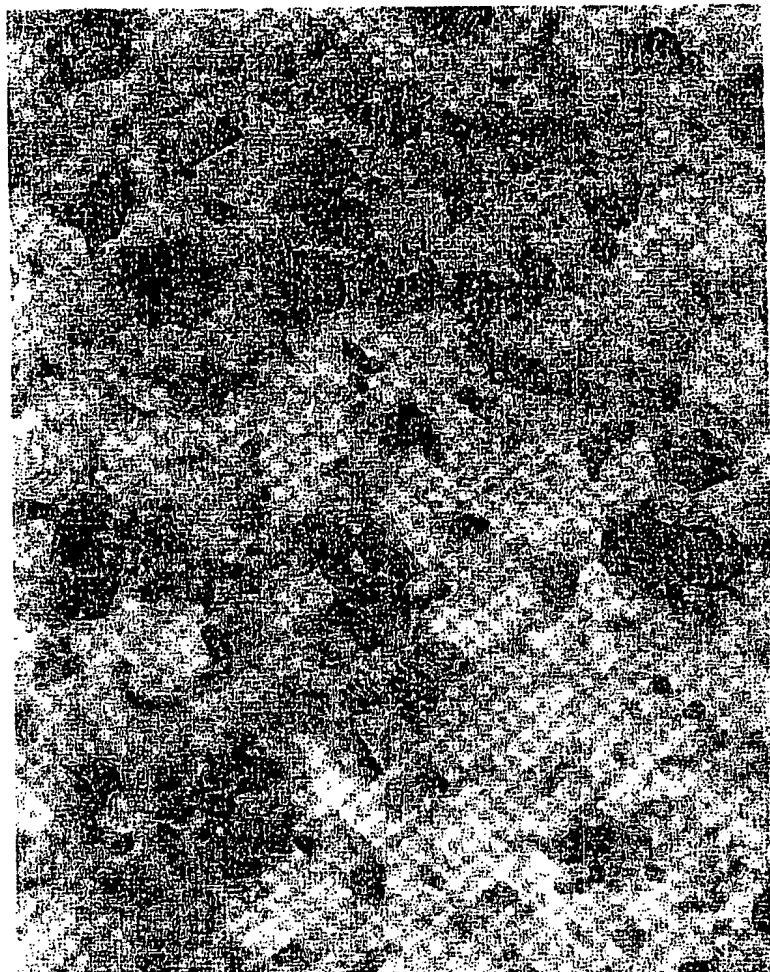
【도 19】



【도 20】



【도 21a】



【도 21b】



【도 21c】

